

Family list7 family members for: **JP9505904T**

Derived from 7 applications

- 1 Signal driver circuit for liquid crystal displays**
Inventor: **EC:** G09G3/36C14A; G09G3/36C16 **Applicant:** **IPC:** G02F1/133; G09G3/36; G02F1/13 (+3)
Publication info: **JP9505904T T** - 1997-06-10
- 2 SIGNAL DRIVER CIRCUIT FOR LIQUID CRYSTAL DISPLAYS**
Inventor: CALLAHAN MICHAEL J JR (US); LUDDEN CHRISTOPHER A (US) **Applicant:** CIRRUS LOGIC INC (US); CIRRUS LOG INTERNATIONAL LTD (IN)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G02F1/133; G09G3/36; G02F1/13 (+2)
Publication info: **KR100263781B B1** - 2000-08-16
- 3 Signal driver circuit for liquid crystal displays**
Inventor: CALLAHAN JR MICHAEL J (US); LUDDEN CHRISTOPHER A (US) **Applicant:** CRYSTAL SEMICONDUCTOR CORP (US)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G09G3/36; G09G3/36; (IPC1-7): G09G3/36
Publication info: **US5574475 A** - 1996-11-12
- 4 Signal driver circuit for liquid crystal displays**
Inventor: CALLAHAN JR MICHAEL J (US); LUDDEN CHRISTOPHER A (US) **Applicant:** CRYSTAL SEMICONDUCTOR (US)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G09G3/36; G09G3/36; (IPC1-7): G09G3/36
Publication info: **US5703617 A** - 1997-12-30
- 5 Signal driver circuit for liquid crystal displays**
Inventor: CALLAHAN JR MICHAEL J (US); LUDDEN CHRISTOPHER A (US) **Applicant:** CRYSTAL SEMICONDUCTOR (US)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G02F1/133; G09G3/36; G02F1/13 (+2)
Publication info: **US5719591 A** - 1998-02-17
- 6 Signal driver circuit for liquid crystal displays**
Inventor: CALLAHAN JR MICHAEL J (US); LUDDEN CHRISTOPHER A (US) **Applicant:** CRYSTAL SEMICONDUCTOR (US)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G02F1/133; G09G3/36; G02F1/13 (+2)
Publication info: **US5726676 A** - 1998-03-10
- 7 SIGNAL DRIVER CIRCUIT FOR LIQUID CRYSTAL DISPLAYS**
Inventor: CALLAHAN MICHAEL J JR; LUDDEN CHRISTOPHER A **Applicant:** CRYSTAL SEMICONDUCTOR CORP (US)
EC: G09G3/36C14A; G09G3/36C16 **IPC:** G02F1/133; G09G3/36; G02F1/13 (+2)
Publication info: **WO9511506 A1** - 1995-04-27

Data supplied from the **esp@cenet** database - Worldwide

Signal driver circuit for liquid crystal displays

Patent number: JP9505904T

Publication date: 1997-06-10

Inventor:

Applicant:

Classification:

- international: **G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7):**
G09G3/36; G02F1/133

- european: G09G3/36C14A; G09G3/36C16

Application number: JP19940511788T 19940831

Priority number(s): WO1994US09882 19940831; US19930138366
19931018; US19940240026 19940509

Also published as:

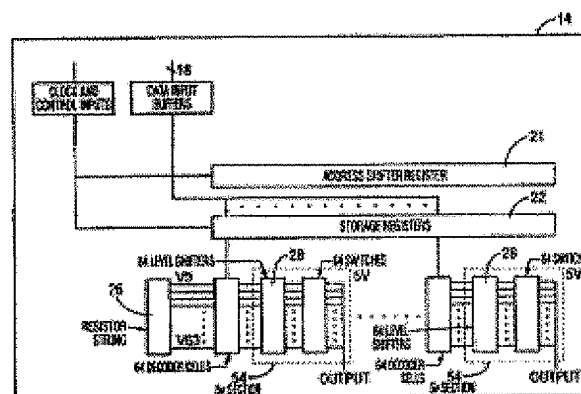
WO9511506 (A)
US5726676 (A1)
US5719591 (A1)

Report a data error he

Abstract not available for JP9505904T

Abstract of correspondent: **US5726676**

The present invention relates to a signal driver circuit for driving a liquid crystal display panel. The signal driver circuit provides level shifting within the circuit to lower the power consumption of a liquid crystal display module while still providing a wide analog voltage range to the liquid crystal display elements. The decoding circuits utilize a strand of abutting decode input transistors which are connected in series. Further to reduce the physical size of the decoding circuits, multiple decode circuits may share circuitry that decodes the most significant bits of a data word. A cell layout is utilized such that the most significant bits data are bused into the cell through metal lines and the least significant bits are bused in polysilicon that also operates as the gate of the decode input transistors. Moreover, the decode cell input transistors may all be of the same conductivity type.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平9—505904

(43)公表日 平成9年(1997)6月10日

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I
G 0 9 G 3/36		4237-5H	G 0 9 G 3/36
G 0 2 F 1/133	5 0 5	7809-2K	G 0 2 F 1/133 5 0 5

審查請求 未請求 予備審查請求 有 (全 87 頁)

(21)出願番号	特願平7-511788
(86)(22)出願日	平成6年(1994)8月31日
(85)翻訳文提出日	平成8年(1996)4月18日
(86)国際出願番号	PCT/US94/09882
(87)国際公開番号	WO95/11506
(87)国際公開日	平成7年(1995)4月27日
(31)優先権主張番号	08/138,366
(32)優先日	1993年10月18日
(33)優先権主張国	米国(US)
(31)優先権主張番号	08/240,026
(32)優先日	1994年5月9日
(33)優先権主張国	米国(US)

(71)出願人 クリスタル・セミコンダクター・コーポレーション
アメリカ合衆国、78744 テキサス、オー
スティン、サウス・インダストリアル・ド
ライヴ 4210

(72)発明者 キャラハン、マイケル・ジェイ、ジュニア
アメリカ合衆国、78746 テキサス、オー
スティン、クリスタル・クリーク・ドライ
ヴ 1302

(74)代理人 弁理士 奥山 尚男 (外3名)

[最終頁に続く](#)

(54) 【発明の名称】 液晶ディスプレイの信号駆動回路

(57) 【要約】

本発明は、液晶ディスプレイ・パネルを駆動する信号ドライバ回路に関する。信号ドライバ回路は、回路内に液晶ディスプレイ・モジュールの電力消費を減少するためのレベル・シフトが提供され、一方それでも液晶ディスプレイ要素には広範なアナログ電圧を提供できる。復号化回路では、直列に接続される隣接した一連の復号入力トランジスタが利用される。更に、復号化回路（デコード回路）の物理的大きさを減少するため、データ・ワードの最上位ビットを復号する回路機構が多数の復号回路により共有される。セルは、最上位ビット・データが金属ラインを通してセル内に伝送され、最下位ビットが復号入力トランジスタのゲートとしても動作するポリシリコンで伝送されるようレイアウトされる。更に、復号セル入力トランジスタは、全て同じ電導率タイプとされる。

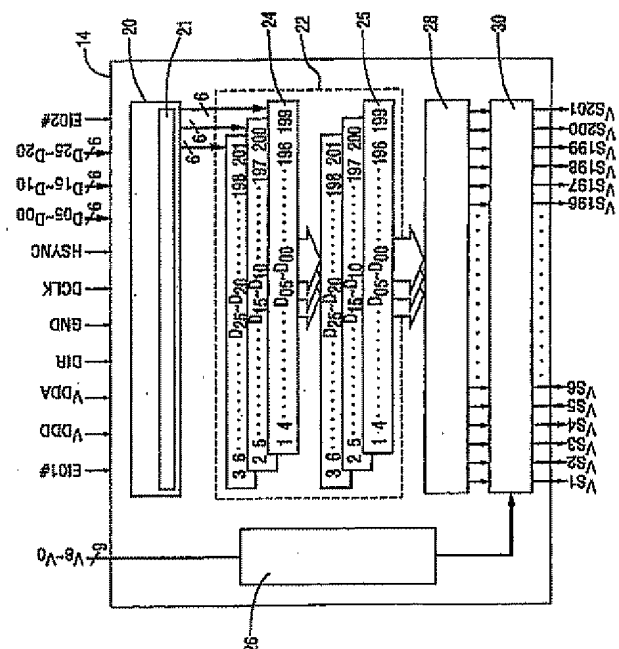


FIG. 3

【特許請求の範囲】

1. LCDパネル駆動用信号ドライバ回路であって、
前記LCD上に表示される画像を示す入力データを受け取る前記回路への、第1のデジタル電圧レベルにある複数のデータ入力と、
前記入力データから得られる駆動電圧を前記LCDパネルに提供するための複数のドライバ出力と、

前記駆動電圧が前記第1電圧レベル以上の大きさを有することができるよう、
前記信号ドライバ回路内のデジタル電圧レベルを第2のデジタル電圧レベルにシフトするための前記信号ドライバ回路内電圧レベル・シフタと、
を含む信号ドライバ回路。

2. 請求項1記載の信号ドライバであって、前記複数のデータ入力から入力データを受け取るため接続され、複数の出力を有するデータ入力バッファを更に含み、前記バッファは前記第2のデジタル電圧レベル以下の電圧で作動し、前記レベル・シフタは前記バッファの前記複数の出力の電圧をシフトするため接続されることを特徴とする信号ドライバ。

3. 請求項2記載の信号ドライバであって、前記レベル・シフタが、前記データ入力の各々用に少なくとも1個のレベル・シフト回路を含むことを特徴とする信号ドライバ。

4. 請求項1記載の信号ドライバであって、前記複数のデータ入力からデータを受け取り、前記データ入力からの入力データを記憶するための複数のレジスタを更に含み、

前記電圧レベル・シフタが、前記レジスタによる各デジタル数値出力の電圧レベルをシフトするためのレベル・シフト回路を少なくとも1個含むことを特徴とする信号ドライバ。

5. 請求項1記載の信号ドライバであって、複数のデコーダ・セルを更に含み、各デコーダ・セルが、少なくとも1個の前記ドライバ出力用に各アナログ電圧レベルを選ぶため前記入力データを復号するようプログラム可能であって、

前記電圧レベル・シフタが、各前記デコーダ・セルに接続された各レベル・シ

フト回路をそれぞれ含むことを特徴とする信号ドライバ。

6. 請求項5記載の信号ドライバであって、各デコーダ・セルの制御下で、前記各アナログ電圧レベルをそれぞれ前記ドライバ出力にスイッチするための各前記デコーダ・セルに接続されたスイッチを更に含み、

ここで、前記レベル・シフト回路が、前記各アナログ電圧レベルが前記デコーダ入力電圧レベルより高いときでも、前記スイッチが前記各アナログ電圧レベルをスイッチできるように、デコーダ入力電圧レベルより高い電圧レベルでデコーダ出力を生成することを特徴とする信号ドライバ。

7. 請求項6記載の信号ドライバであって、各レベル・シフト回路が、前記各デコーダ・セル内にトランジスタを含むことを特徴とする信号ドライバ。

8. 請求項7記載の信号ドライバであって、各前記デコーダ・セルがNANDゲートとインバータを含むことを特徴とする信号ドライバ。

9. 請求項8記載の信号ドライバであって、前記NANDゲートが複数の入力トランジスタを含み、各入力トランジスタが同じ導電率タイプを有することを特徴とする信号ドライバ。

10. 請求項9記載の信号ドライバであって、各NANDデータ入力トランジスタがNチャンネルであることを特徴とする信号ドライバ。

11. 請求項10記載の信号ドライバであって、前記複数の入力トランジスタの第1複数が直列に接続され、前記複数の入力トランジスタの第2複数が並列に接続されることを特徴とする信号ドライバ。

12. LCD信号ドライバの出力に印加される複数の基準電圧の少なくとも1

個を選ぶため独自のデジタル状態を復号するための該LCD信号ドライバ内のデコーダ回路であって、前記基準電圧が最大電圧を有し、

第1の供給電圧レベルで作動する複数のデータ入力ラインと、

前記第1の供給電圧レベル以下又は同等の電圧で前記複数のデータ入力ラインからデータを受け取るための前記複数のデータ入力ラインに接続された複数のデコーダ・セルと、

前記複数のデコーダ・セルに接続され、制御される複数のスイッチと、

前記デコーダ・セルの制御下で、少なくとも 1 個の前記基準電圧を前記出力にスイッチするよう動作する前記複数のスイッチに接続される複数の基準電圧ラインと、

前記第 1 の供給電圧レベルより高い第 2 の供給電圧レベルで作動する電圧供給源に接続された、各前記デコーダ・セル内にある少なくとも 1 個のノードと、を含むデコーダ回路。

13. LCD 信号ドライバ内の電圧レベルをレベル・シフトする方法であって、

前記信号ドライバの複数の入力から、第 1 の作動電圧レベルにある入力データをサンプリングするステップと、

前記作動第 1 電圧レベルで、前記信号ドライバの所望の列出力電圧を表すデジタル・データをデコーダ・セル内に搬送するステップと、

前記デコーダ・セル内で前記デジタル・データを復号するステップと、

前記第 1 の作動電圧レベルとは異なる第 2 の操作電圧レベルに前記デコーダ・セルのデコーダ出力の電圧レベルをレベル・シフトするステップと、を含む方法。

14. 請求項 13 記載の方法であって、前記レベル・シフトステップが、更に前記第 2 の作動電圧レベルを前記デコーダ・セルの少なくとも 1 個のノードに供給するステップを含むことを特徴とする方法。

15. 請求項 14 記載の方法であって、前記レベル・シフトされたデコーダ出力を前記列出力電圧を制御するスイッチに供給するステップを更に含むことを特徴とする方法。

16. LCD パネルに印加する複数の電圧のうち 1 個を選ぶための LCD ドライバ内のデコーダ・セルであって、

前記セルの少なくとも 1 の作動領域を横切り、複数のトランジスタ・ゲートを形成し、前記セルを通り隣接のセルにデータ入力を提供する複数のデータ入力ラインと、

前記複数のトランジスタ・ゲートの少なくとも 1 により前記作動領域に形成さ

れる少なくとも１個のトランジスタの制御下で、前記複数の電圧の一つを前記ＬＣＤに印加するよう動作する制御可能スイッチとを含むことを特徴とするデコーダ・セル。

１７．請求項１６記載のデコーダ・セルであって、前記複数のトランジスタ・ゲートが第１複数のトランジスタのゲートを形成し、前記第１複数のトランジスタの隣接トランジスタが共通の作動領域を共有することを特徴とするデコーダ・セル。

１８．請求項１７記載のデコーダ・セルであって、前記複数のトランジスタ・ゲートが第２複数のトランジスタのゲートを形成し、前記第２複数のトランジスタの隣接トランジスタが共通の作動領域を共有することを特徴とするデコーダ・セル。

１９．請求項１８記載のデコーダ・セルであって、前記第１複数のトランジスタが全て同じ導電率タイプであって、前記第２複数のトランジスタが全て同じ導電率タイプであることを特徴とするデコーダ・セル。

２０．請求項１９記載のデコーダ・セルであって、前記第１複数のトランジスタがＮチャンネルのトランジスタであることを特徴とするデコーダ・セル。

２１．請求項１９記載のデコーダ・セルであって、前記第１複数のトランジスタと前記第２複数のトランジスタが共にＮＡＮＤゲートを形成することを特徴とするデコーダ・セル。

２２．請求項１８記載のデコーダ・セルであって、前記第１複数のトランジスタの選ばれたトランジスタのソース及びドレインを電氣的にショートすることにより前記第１複数のトランジスタをプログラムするために接続される第１複数のプログラミング導線をさらに含むことを特徴とするデコーダ・セル。

２３．請求項２２記載のデコーダ・セルであって、前記第１複数のトランジスタの選ばれたトランジスタが、前記第１複数のプログラミング導線により直列に接続されることを特徴とするデコーダ・セル。

２４．請求項２２記載のデコーダ・セルであって、前記第２複数のトランジスタの選ばれたトランジスタのソース及びドレインを電氣的にショートし、前記第

2 複数のトランジスタの選ばれたトランジスタを並列に電氣的に接続することにより、前記第 2 複数のトランジスタをプログラムするため接続される第 2 複数のプログラミング導線をさらに含むことを特徴とするデコーダ・セル。

2 5. 請求項 2 4 記載のデコーダ・セルであって、前記第 2 複数のプログラミング・ラインが前記複数のデータ入力ラインを横切って伸びることを特徴とするデコーダ・セル。

2 6. 前記信号駆動回路の出力の印加される電圧を選ぶための LCD 信号駆動回路内のプログラム可能なデコーダ・セルであって、

前記信号駆動回路の所望の出力電圧を表すデジタル数を搬送する、複数の実質的に並列のデータ・バス・ラインと、

前記複数のバス・ラインによって横断される、少なくとも一つのトランジスタ作動領域と、

前記複数のデータ・バス・ラインの少なくとも 1 本を横断し、電圧を選ぶため

に前記デコーダ・セルをプログラムするため前記トランジスタ作動領域に選択的に接続される複数のプログラミング導線と、

を含むプログラム可能なデコーダ・セル。

2 7. 請求項 2 6 記載のセルであって、

前記少なくとも一つのトランジスタ作動領域が、

前記複数のバス・ラインにより横断される第 1 トランジスタ作動領域と、

前記複数のバス・ラインにより横断される第 2 トランジスタ作動領域と、

を含み、

前記複数のプログラミング導線が、

複数の前記複数のバス・ラインを横断し、前記復号セルをプログラムするため前記第 2 トランジスタ作動領域に選択的に接続された、第 1 プログラミング導線と第 2 プログラミング導線と、

複数の第 3 プログラミング導線と、

を含み、

前記第 3 の導線が前記複数のバス・ラインの少なくとも 1 本を横断し、前記復

号セルをプログラムするため前記第 1 トランジスタ作動領域に選択的に接続されることを特徴とするセル。

28. 請求項 26 記載のセルであって、前記複数のバス・ラインが前記作動領域を横断する所で複数のトランジスタ・ゲートを形成し、一連のトランジスタが前記複数のトランジスタ・ゲートにより形成され、複数の前記トランジスタが各隣接のトランジスタとソース或はドレインを共有することを特徴とするセル。

29. 請求項 29 記載のセルであって、前記複数のバス・ラインがポリシリコン・ラインを含み、前記ポリシリコン・ラインが前記デコーダ・セルを通り隣接のデコーダ・セルまで伸びることを特徴とするセル。

30. 請求項 26 記載のセルであって、前記少なくとも一つのトランジスタ作動領域が第 1 及び第 2 トランジスタ作動領域を含み、前記複数のバスが、該バス・ラインが該第 1 トランジスタ作動領域を横断するところで、第 1 連の隣接したトランジスタを形成し、前記バス・ラインが該第 2 トランジスタ作動領域を横断するところで、第 2 連の隣接したトランジスタを形成することを特徴とするセル。

31. 請求項 30 記載のセルであって、前記複数のプログラミング導線が、前記第 1 トランジスタ作動領域内に直列接続のトランジスタを形成するため、前記第 1 連内の少なくとも 1 個のトランジスタのソース及びドレインに選択的に接続されることを特徴とするセル。

32. 請求項 31 記載のセルであって、前記複数のプログラミング導線の少なくとも 2 本が、前記第 2 トランジスタ作動領域内に並列接続のトランジスタを形成するため、前記第 2 連内の少なくとも 2 個のトランジスタのソース及びドレインに選択的に接続されることを特徴とするセル。

33. LCD ドライバの出力に印加される複数の基準電圧のうち少なくとも一つを選ぶため独自のデジタル状態を復号する LCD デコーダ回路であって、

前記独自のデジタル状態を含有する入力データを前記デコーダ回路に供給する複数のデータ・ラインと、

第 1 複数のトランジスタと第 2 複数のトランジスタとからなる複数の入力トラ

ンジスタと、ここで、前記第 1 複数のトランジスタは、第 1 の導電率タイプを有し、直列に接続され、前記第 1 複数のトランジスタの各ゲートは前記複数のデータ・ラインに電氣的に接続され、前記第 2 複数のトランジスタは、前記第 1 の導電率タイプを有し、並列に接続され、前記第 2 複数のトランジスタの各ゲートは前記複数のデータ・ラインに電氣的に接続され、

前記複数の入力トランジスタの少なくとも 1 個に接続され、前記基準電圧の一つを選ぶためスイッチに接続される少なくとも 1 個の追加第 2 導電率タイプのトランジスタと、

を含む LCD デコーダ回路。

34. LCD パネル駆動用信号駆動回路であって、

基準電圧に接続可能な少なくとも 1 個の基準電圧入力と、

前記信号駆動回路の出力用に電圧を選ぶための複数の復号化セルと、

直列接続の第 1 複数の抵抗器からなる第 1 抵抗器系と、直列接続の第 2 複数の抵抗器からなる第 2 抵抗器系と、各前記第 1 及び第 2 抵抗器系の各々に接続され、前記基準入力に接続された少なくとも 1 個の抵抗器電圧入力とを含む抵抗器分圧器と、

ここで、前記第 1 複数の抵抗器の少なくとも 1 個が、並列接続の抵抗器を形成するため前記第 2 複数の抵抗器の少なくとも 1 個と並列に接続され、前記複数の復号化セルが、前記第 1 抵抗器系と前記第 2 抵抗器系の間に配置され、

前記並列接続の抵抗器のうちの 1 個の出力に接続され、前記複数の復号化セルの少なくとも 1 個に接続される少なくとも 1 個の導線と、
を含む信号駆動回路。

35. LCD パネルに複数の電圧レベルを提供する信号駆動回路であって、前記回路を横切り一定間隔で配置される複数の復号化セルと、前記複数の復号化セルに電圧を提供するよう構成された複数の抵抗器電圧分圧器とを含み、

前記複数の抵抗器電圧分圧器が、前記回路内の複数の位置に形成され、前記複数の復号化セルの少なくとも一部が、前記複数の位置間に配置されることを特徴とする信号駆動回路。

36. 請求項35記載の信号駆動回路であって、隣接の前記位置間の距離が、前記回路の長さのおよそ $1/n$ 倍（ n は前記位置の数）であることを特徴とする信号駆動回路。

37. 請求項35記載の信号駆動回路であって、前記複数の抵抗器電圧分圧器が、前記回路の第1位置に形成される第1抵抗器電圧分圧器と、前記回路の第2位置に形成される第2抵抗器電圧分圧器とを含み、前記第1位置と前記回路の第1端間の距離が、前記第2位置と前記回路の第2端間の距離におよそ等しいことを特徴とする信号駆動回路。

38. 請求項35記載の信号駆動回路であって、前記回路の第1側に沿って配置される複数の基準電圧接着パッドと、第1端と第2端を有し、両端が前記第1側付近で終結する各前記電圧分圧器とをさらに含むことを特徴とする信号駆動回路。

39. 請求項13記載の方法であって、前記第2の作動電圧レベルが、前記第1作動電圧レベルより大きいことを特徴とする方法。

40. LCDパネル駆動用信号ドライバ回路であって、
前記LCD上に表示される画像を示す入力データを受け取るための前記回路への、第1のデジタル電圧レベルにある複数のデータ入力と、
前記入力データから得られる複数の駆動電圧レベルを前記LCDパネルに提供するための複数のドライバ出力と、
前記ドライバ出力の少なくとも一つに対し一つの駆動電圧レベルを選ぶため、前記入力データを復号するようプログラムされうる複数のデコーダ・セルと、
前記デコーダ・セルの少なくとも1個内に少なくとも1個のノードと、
をさらに含み、

前記ノードはユーザ選択可能なデジタル電圧レベルで動作し、前記ユーザ選択可能な電圧レベルは、前記第1デジタル電圧レベルとは異なることが可能であって、前記少なくとも1個のデコーダ・セルのデジタル出力電圧レベルが、前記ユーザ選択可能な電圧レベルに依存することを特徴とする信号ドライバ回路。

41. 請求項40記載の信号ドライバ回路であって、前記ユーザ選択可能な電

圧レベルが、前記第 1 のデジタル電圧レベルと同じに選ばれることを特徴とする信号ドライバ回路。

4 2. 請求項 4 0 記載の信号ドライバ回路であって、前記ユーザ選択可能な電圧レベルが、前記第 1 のデジタル電圧レベルと異なるように選ばれることを特徴とする信号ドライバ回路。

4 3. 請求項 4 0 記載の信号ドライバ回路であって、各ドライバ出力に接続されるデコーダ・セルの数が、少なくとも前記ドライバ電圧レベルと同じくらい大きいことを特徴とする信号ドライバ回路。

4 4. 請求項 4 3 記載の信号ドライバ回路であって、前記第 1 のデジタル電圧レベルより大きい少なくとも一つの駆動電圧レベルが、前記ドライバ出力の少なくとも 1 個に提供されるように、前記ユーザ選択可能な電圧レベルが前記第 1 デジタル電圧レベルより大きく選ばれることを特徴とする信号ドライバ回路。

4 5. L C D パネル駆動用信号ドライバ回路であって、
前記信号ドライバ回路に接続される複数のデータ入力と、
前記信号ドライバ回路に接続される複数のドライバ出力と、
前記信号ドライバ回路内電圧レベル・シフトと、
を含み、
前記複数のドライバ出力での出力電圧レベルが、前記複数のデータ入力での入力電圧レベルより大きく設定可能なことを特徴とする信号ドライバ回路。

4 6. 請求項 4 5 記載の信号ドライバであって、
前記ドライバ出力の少なくとも 1 個の各出力電圧レベルを選ぶため入力データを復号するようプログラム可能である複数のデコーダ・セルと、
各前記デコーダ・セルに接続される各レベル・シフト回路を含む前記電圧レベル・シフトと、
をさらに含むことを特徴とする信号ドライバ。

4 7. 請求項 4 6 記載の信号ドライバであって、
各前記デコーダ・セルが、

複数のデータ入力ラインと、

前記データ入力ラインに接続された、前記データ入力ライン上の独自のデータ状態を選ぶようそれぞれプログラムされたラッチ回路と、

前記ラッチ回路に接続され、前記ラッチ回路をリセットするためのリセット信号に応答するリセット回路と、

を含むことを特徴とする信号ドライバ。

48. 請求項46記載の信号ドライバ回路であって、

前記デコーダ・セルが、複数の最上位データ入力ライン接続される複数の最上位入力トランジスタと、複数の最下位データ入力ラインに接続される複数の最下位入力トランジスタとを含み、

前記複数のデコーダ・セルの少なくとも2個が、前記複数の最上位入力トランジスタを共有することを特徴とする信号ドライバ回路。

49. 請求項46記載の信号ドライバであって、各デコーダ・セルの制御の下で、前記各出力電圧レベルを前記ドライバ出力にスイッチするための各前記デコーダ・セルに接続されるスイッチをさらに含み、

各前記レベル・シフト回路が、デコーダ入力電圧レベルより高い電圧レベルでデコーダ出力を生成し、前記スイッチが、前記出力電圧レベルの各々をスイッチするよう動作することを特徴とする信号ドライバ。

50. LCD信号ドライバ内の電圧レベルをレベル・シフトする方法であって、

前記信号ドライバの複数の入力から、第1電圧レベルにある入力データを提供するステップと、

前記第1電圧レベルでの復号状態をデコーダ・セル内に伝送するステップと、

前記デコーダ・セル内の前記復号状態を復号するステップと、

前記デコーダ・セルのデコーダ出力の電圧レベルを前記第1電圧レベルより大きい第2電圧レベルにレベル・シフトするステップと、

を含む方法。

51. 請求項50記載の方法であって、前記レベル・シフトステップが、前記

第 2 作動電圧レベルを前記デコーダ・セルの少なくとも 1 個のノードに供給するステップをさらに含むことを特徴とする方法。

5 2. 請求項 5 1 記載の方法であって、

前記復号ステップが、

前記復号状態を受け取るよう選択的にプログラムされるデコーダ・セル内に前記復号状態をラッチするステップと、

前記デコーダ・セルをリセット状態にするよう前記デコーダ・セルをリセットするステップと、

をさらに含むことを特徴とする方法。

5 3. 請求項 5 1 記載の方法であって、

前記復号ステップが、

前記デコーダ・セル内の最上位ビットのデコーダで前記復号状態の最上位ビットを復号するステップと、

前記復号セル内の複数の最下位ビットのデコーダで前記復号状態の最下位ビットを復号するステップと、

前記複数のディッコーダ状態の一部を復号するため、前記最上位ビットのデコーダを利用するステップと、

をさらに含むことを特徴とする方法。

5 4. 請求項 5 1 記載の方法であって、前記レベル・シフトデコーダ出力を前記列出力電圧を制御するためのスイッチに供給するステップをさらに含むことを特徴とする方法。

5 5. L C D ドライバの出力に印化する複数の基準電圧のうち少なくとも一つを選ぶため独自のデジタル状態を復号する L C D デコーダ回路であって、

前記独自のデジタル状態を含む入力データを前記デコーダ回路に供給する複数のデータ・ラインと、

第 1 導電率タイプを有し、そのゲートが前記複数のデータ・ラインに電気的に接続され、直列に接続された第 1 複数のトランジスタを含む複数の入力トランジスタと、

前記複数の入力トランジスタの少なくとも 1 個に接続される少なくとも 1 個の追加第 2 導電率タイプのトランジスタと、
を含む LCD デコーダ回路。

56. 請求項 55 記載のデコーダ回路であって、前記複数の入力トランジスタが、前記データ・ラインに接続されるラッチ回路の一部を形成し、前記ラッチ回路が、前記データ・ライン上の前記独自のデジタル状態を選ぶようプログラムされ、またリセット回路に接続されることを特徴とするデコーダ回路。

57. 請求項 55 記載のデコーダ回路であって、

前記第 1 複数のトランジスタが、複数の最上位データ入力ラインに接続される複数の最上位入力トランジスタと、少なくとも 1 本の最下位データ入力ラインに接続される少なくとも 1 本の最下位入力トランジスタとを含み、

各前記複数の最上位入力トランジスタが、前記複数の最下位入力トランジスタと直列に接続することにより、前記複数の独自のデジタル状態の一部を復号することを特徴とするデコーダ回路。

58. LCD パネルに印加する複数の電圧に 1 個を選ぶための LCD ドライバ内デコーダ・セルであって、

複数の第 1 トランジスタ・ゲートを形成し、前記セルの作動領域を横切り複数の第 1 トランジスタを形成し、他のデコーダ・セルの少なくとも 1 個にデータ入力を提供する複数の第 1 データ入力ラインと、

前記 1 個の他のデコーダ・セルにデータ入力を提供し、複数の第 2 トランジス

タ・ゲートに接続される複数の第 2 データ入力ラインと、

前記複数の第 1 及び第 2 トランジスタの制御の下で、前記 LCD パネルに前記複数の電圧の 1 個を印加するよう動作する制御可能スイッチと、
を含むデコーダ・セル。

59. 請求項 52 記載のデコーダ・セルであって、前記複数の第 1 及び第 2 トランジスタが、ラッチ回路の一部を形成し、前記ラッチ回路が、前記データ入力ライン上で独自のデータ状態を選ぶようプログラムされることを特徴とするデコーダ・セル。

60. 請求項52記載のデコーダ・セルであって、前記第1複数のトランジスタが、複数の最下位入力トランジスタを形成し、前記第2複数のトランジスタが、複数の最上位入力トランジスタを形成し、前記少なくとも1個の他デコーダ・セルが、前記複数の最上位入力トランジスタを共有することを特徴とするデコーダ・セル。

61. 請求項60記載のデコーダ・セルであって、前記最上位入力トランジスタが、前記最上位入力トランジスタのゲートを前記複数の第2データ入力ラインに選択的に接続することによりプログラムされることを特徴とするデコーダ・セル。

62. 請求項61記載のデコーダ・セルであって、前記最下位入力トランジスタが、前記第1データ入力ラインを前記作動領域を選択的に横断させることによりプログラムされることを特徴とするデコーダ・セル。

63. LCDパネル駆動用信号ドライバ回路であって、
最上位データ入力ラインと最下位データ入力ラインとを含む複数のデータ入力ラインと、

前記複数のデータ入力ラインに接続される複数のデコーダ・セルと、
を含み、

ここで、前記デコーダ・セルが、前記最上位データ入力ラインに接続される複数の最上位入力トランジスタと、前記最下位データ入力ラインに接続される複数の最下位入力トランジスタとを含み、

ここで、前記複数のデコーダ・セルの少なくとも2個が、前記複数の最上位入力トランジスタを共有することを特徴とする信号ドライバ回路。

64. 請求項63記載の信号ドライバ回路であって、各前記デコーダ・セルの前記最上位ビットのトランジスタと前記最下位ビットのトランジスタが、直列に接続されることを特徴とする信号ドライバ回路。

65. 請求項63記載の信号ドライバ回路であって、前記複数のデータ入力ラインが、複数の非反転データ入力ラインと反転データ入力ラインとをさらに含むことを特徴とする信号ドライバ回路。

66. 請求項63記載の信号ドライバ回路であって、各前記デコーダ・セルが、リセット回路機構をさらに含むことを特徴とする信号ドライバ回路。

67. 請求項63記載の信号ドライバ回路であって、前記デコーダ・セルの少なくとも2個が、前記リセット回路機構の少なくとも一部を共有することを特徴とする信号ドライバ回路。

68. 請求項63記載の信号ドライバ回路であって、前記デコーダ・セルが、電圧レベル・シフト回路をさらに含むことを特徴とする信号ドライバ回路。

69. LCDドライバ内デコーダ・セルであって、
複数のデータ入力ラインと、
前記データ入力ラインに接続されるラッチ回路と、
前記ラッチ回路に接続されるリセット回路と、
を含み、

前記ラッチ回路が、前記デコーダ・セルの復号状態を保持し、前記リセット回路が、前記ラッチ回路をリセットすることを特徴とするデコーダ・セル。

70. 請求項69記載のデコーダ・セルであって、前記ラッチ回路が、直列に接続される複数の第1トランジスタと、前記複数の入力ラインに接続される前記第1トランジスタのゲートとを含むことを特徴とするデコーダ・セル。

71. 請求項70記載のデコーダ・セルであって、前記ラッチ回路が、複数の第2トランジスタをさらに含み、前記第2トランジスタの少なくとも1個が、前記第1トランジスタと直列に接続され、前記第2トランジスタの少なくとも1個のゲートが、前記一連の第1トランジスタと前記第2トランジスタの少なくとも1個間のノードに接続されることを特徴とするデコーダ・セル。

72. 請求項71記載のデコーダ・セルであって、前記ラッチ回路が、第3トランジスタと、前記ノードに接続される前記第3トランジスタのゲートとを含むことを特徴とするデコーダ・セル。

73. 請求項72記載のデコーダ・セルであって、前記複数の第1トランジスタと前記第3トランジスタが、同じ導電率タイプであることを特徴とするデコーダ・セル。

74. 請求項71記載のデコーダ・セルであって、

前記リセット回路が、

第1リセット・トランジスタと、

ここで、前記第1リセット・トランジスタのソース及びドレインは、前記第2トランジスタの1個の各ソース及びドレインに接続され、

前記第1複数のトランジスタと前記第2トランジスタの1個と直列に接続される第2リセット・トランジスタと、

を含むことを特徴とするデコーダ・セル。

75. 請求項74記載のデコーダ・セルであって、前記第1リセット・トランジスタのゲートと前記第2リセット・トランジスタのゲートに接続されるリセット信号ラインをさらに含むことを特徴とするデコーダ・セル。

76. LCDパネル駆動用信号ドライバ回路であって、それぞれが請求項70

記載のデコーダ・セルを含む複数のデコーダ・セルと、最上位ビットのトランジスタと最下位ビットのトランジスタを含む前記複数の第1トランジスタを含み、

前記複数のデコーダ・セルの少なくとも2個が、少なくとも1個の最上位ビットのトランジスタを共有することを特徴とする信号ドライバ回路。

77. 請求項76記載の信号ドライバ回路であって、前記複数のデコーダ・セルの各々が、各非共有の最下位ビットのトランジスタを有することを特徴とする信号ドライバ回路。

78. 請求項77記載の信号ドライバ回路であって、複数の第2トランジスタと、前記第2トランジスタの少なくとも1個が、前記第1トランジスタと直列に接続され、前記第2トランジスタの少なくとも1個のゲートが、前記一連の第1トランジスタと前記第2トランジスタの少なくとも1個間のノードに接続され、

第1リセット・トランジスタと、前記第1リセット・トランジスタのソース及びドレインが、前記第2トランジスタの1個の各ソースとドレインに接続され、

前記第1複数のトランジスタと前記第2トランジスタの1個と直列に接続される第2リセット・トランジスタをさらに含み、前記複数のデコーダ・セルの少なくとも2個が、共通の第2リセット・トランジスタを共有することを特徴とする

信号ドライバ回路。

79. 請求項78記載の信号ドライバであって、前記第2リセット・トランジスタが、前記第1複数のトランジスタの少なくとも2個の間で直列に接続されることを特徴とする信号ドライバ。

80. 前記信号ドライバ回路の出力に印加される電圧に対応する復号状態を選ぶためのLCD信号ドライバ回路内デコーダ回路であって、

前記信号ドライバ回路の所望の出力電圧を表すデジタル数値を搬送し、前記デコーダ回路を通り少なくとも1個の隣接デコーダ回路まで伸びる複数の一般に並列なデータ・バス・ラインと、前記データ・バス・ラインが、最上位ビットのデ

ータ・バス・ラインと最下位ビットのデータ・バス・ラインとを含み、

前記最上位ビットのデータ・バス・ラインに接続されるゲートを有する複数の最上位ビットのトランジスタと、前記最上位ビットのトランジスタが、少なくとも2つの復号状態を復号するため複数の最下位ビットのトランジスタに接続され、

前記ゲートが前記最上位ビットのトランジスタの隣接連を形成するため横断する作動領域とを含み、前記作動領域が、複数の最下位ビットのトランジスタに接続されることを特徴とするデコーダ回路。

81. 請求項80記載の回路であって、前記最下位ビットのデータ・バス・ラインが、前記最下位ビットのトランジスタを形成するため、選択的に前記作動領域を横断することを特徴とする回路。

82. 請求項81記載の回路であって、前記最下位ビットのデータ・バス・ラインにより形成される不必要なトランジスタのソースとドレインを接続する導線をさらに含むことを特徴とする回路。

83. 請求項81記載の回路であって、前記最上位ビットのデータ・バス・ラインが、第1導線タイプ内の前記デコーダ回路を通され、第2導線タイプにより前記ゲートに接続されることを特徴とする回路。

84. LCD信号ドライバの出力の電圧レベルに対応する複数の独自の復号状態を復号する方法であって、

復号回路にデジタル復号状態を提供するステップと、

最上位ビットを前記復号回路内の最上位ビットのデコーダで復号するステップと、

最下位ビットを前記復号回路内の複数の最下位ビットのデコーダで復号するステップと、

複数の前記デコーダ状態を復号するため、前記最上位ビットのデコーダを利用

するステップと、

を含む方法。

85. LCD信号ドライバの出力の電圧レベルに対応する独自の復号状態を復号する方法であって、

前記信号ドライバの所望の出力電圧を表す復号状態をデコーダ・セルに提供するステップと、

前記復号状態を、前記独自の復号状態の一つに応答し選択的にラッチングするラッチ回路で復号するステップと、

前記ラッチ回路をリセット回路でリセットするステップと、

を含む方法。

【発明の詳細な説明】

液晶ディスプレイの信号駆動回路

本特許文書開示の一部には、マスク・ワーク保護の対象となる資料が含まれる。マスク・ワーク所有者は、特許・商標局の特許ファイル及び記録にあるすべての特許開示について、その複写再生に異議を申し立てるものではないが、それ以外は、マスク・ワークに関するあらゆる権利を保持するものである。

技術分野

本発明は、液晶ディスプレイ（“LCD”）用信号駆動回路に係り、特にアプリケーションを駆動するLCD列のLCD画素のグレー・レベルを制御するためのデジタル・イン／アナログ・アウト信号駆動回路に関する。

背景技術

信号駆動回路は液晶ディスプレイと共に広く使用されている。駆動回路は、一般にデジタル映像データを入力として受け取り、各特定LCD画素列にアナログ電圧を出力する。一般に、LCD内の各列は、信号又は列ドライバにより個別にアドレス指令され、所望の透過率（即ち、所望の色合い又はグレー度）を得るため、適切なアナログ電圧を供給されなければならない。更に、駆動回路の出力電圧は、高い画素コントラスト比率を考慮して、広く取るのが望ましい。

カラーLCDでは、各画素が、赤、緑、青の原色を表す3種のサブ画素要素から成っている。例えば、解像度縦640×横480の個別にアドレス指令可能な画素を有するカラーVGAパネルにおいて、3×640列、つまり1920列が提供される。一般に、信号駆動回路は、各列に一つのドライバ出力を有している。従って、LCDパネルの制御には、かなりの回路面積を使う多数のドライバ出力が必要である。回路の大きさは信号ドライバのコストに影響を与えるため、信号

ドライバの大きさを減少させることが望ましい。

LCDパネルの技術改良が進むにつれ、画像をより連続的なグレースケールで描写するか、或はより独自性の強い色を提供することが望ましくなっている。従って、信号ドライバから要求される電圧制御は、益々複雑になっている。一方、

信号ドライバの物理的大きさを減少することによりそのコストを削減し、駆動回路の電力消費量を削減することも望ましい。従って、使用面積及び電力損を減少する必要性と、離散的なアナログ電圧レベルの数を増やす必要性とをバランスした信号ドライバを得ることが望ましい。

発明の開示

本発明は、電力消費が少なく、またチップ上で使用する面積も小さく、離散的なアナログ電圧レベルを多数生成可能な液晶ディスプレイ用信号ドライバを提供することにより、前記の所望事項を満足するものである。

信号ドライバ面積を、独自のデコーダ・セル設計を使用することにより減少させ、信号ドライバ作動電圧のレベルをシフトすることにより、LCDの透過率を犠牲にすることなく、電力損を最少にする。よって、LCDモジュール及び信号ドライバは、必要な信号ドライバ出力電圧より少ない電圧での作動が可能となる。

デコーダ・セルでは、デコーダ入力トランジスタ・ゲートを兼用するデータ入力バス・ラインが利用される。これらのゲートは、直列に接続され、ラッチ及びリセット回路と共に利用できる。復号（デコード）状態の最上位のビット(most significant bit)は、一つ以上の復号セルに共有される入力トランジスタにより復号することができる。また、各復号セルは、復号状態の最下位のビット(least significant bit)を復号する独自の入力トランジスタを有するようにしても良い。

信号ドライバでは、様々なグレースケール電圧をデコーダ・セルに供給する独自の分配電圧抵抗器ディバイダも利用される。抵抗器ディバイダには、信号ドライバ・チップを横切って一定間隔で配置される抵抗器列が少なくとも2列含まれることが望ましい。これにより、電圧ディバイダからデコーダ・セルへの抵抗落下が最小となり、また信号ドライバ間のバラツキも最小となる。

本発明の1実施例では、レベル・シフトが組み込まれている。レベル・シフトのために、LCDパネル駆動用信号駆動回路には、第1電圧レベルでの複数のデータ入力、第1電圧より高い第2電圧で作動可能なLCDパネルへの複数のドラ

イバ出力、各デコーダ・セルに接続された信号駆動回路内の電圧レベルのシフト用電圧レベル・シフタが含まれる。デコーダ・セルには、ラッチ及びリセット回路を含んでも良い。更に、デコーダ・セルには、最上位の入力トランジスタと最下位の入力トランジスタを含めることができ、少なくとも2つのデコーダ・セルが同じ最上位の入力トランジスタを共有する。

本発明のもう一つの実施例では、LCD信号ドライバ・チップ内に駆動回路が存在するものが提供される。この駆動回路では、第1電圧レベルで作動する複数のデータ入力ラインと、データ入力ラインに接続される複数のデコーダ・セルとが含まれる。また、デコーダ・セルにより制御される複数のスイッチも含まれる。これらのスイッチは、基準電圧を駆動回路の出力に切り換えるよう配置されている。基準電圧ラインは、第1供給電圧レベルより大きい電圧レベルで作動可能である。レベル・シフトは、第1供給電圧より大きい第2供給電圧を各デコーダ・セルの少なくとも一つのノードに接続することにより達成される。本発明には、更に第1電圧レベルで作動する入力データを複数の入力からサンプリングするステップと、第1電圧レベルでのデジタル復号状態をバスを介し伝達するステップと、デジタル・データを復号し、デコーダ出力の電圧レベルを第1電圧レベルより大きい第2電圧レベルにレベル・シフトするステップとを含む、LCD信号ドライバ内で作動電圧レベルをレベル・シフトする方法が含まれるていることも注目すべきである。

更に、本発明では、LCDドライバ内で使用されるデコーダ・セル用に独自の伝達手順も考慮されている。一実施例では、LCDドライバ内のデコーダ・セルか、LCDパネルに印加される複数の電圧のうち一つを選択するために使われている。このセルには、複数のトランジスタ・ゲートを形成する複数のデータ入力ラインが含まれる。データ入力ラインはまた、該セルを通り、隣接セルにデータを入力する。データ入力ラインは、セルの少なくとも一つの作動領域を横切る。スイッチが、複数のトランジスタ・ゲートの少なくとも一つにより作動領域に形成される一つのトランジスタの制御下で、複数電圧の一つをLCDパネルに印加するよう作動可能になっている。

本発明のもう一つの実施例では、LCD信号駆動回路内に、信号駆動回路の出力に印加する電圧を選ぶためのプログラマブル・デコーダ・セルが含まれる。セルには、信号駆動回路の所望の出力電圧を表すデジタル数値を運ぶ複数の実質的に平行なデータ・バス・ラインが含まれる。更に、少なくとも一つのトランジスタ作動領域が提供され、バス・ラインがこの作動領域上を横切るようになっている。加えて、複数のプログラミング導線が複数のデータ・バス・ライン上を横切り、デコーダ・セルをプログラムするため、作動領域に選択的に接続される。本発明の別の実施例では、LCDドライバの出力に印加する複数の基準電圧の少なくとも一つを選ぶため、独自のデジタル状態を復号化するLCDデコーダ回路が提供されることに注目すべきである。このデコーダ回路には、複数のデータ・ライン、複数の入力トランジスタ、第1の導電タイプを有し直列に接続される第1の複数の入力トランジスタが含まれ、第1の複数のトランジスタの各ゲートがデータ・ラインに電気的に接続されている。入力トランジスタには、第1の複数のトランジスタと同じ導電タイプを有する第2の複数のトランジスタも含まれ、第2の複数のトランジスタの各ゲートがデータ・ラインに電気的に接続され、並列に接続されている。デコーダ・セルにも、複数の入力トランジスタの少なくとも一つに接続される第2導電タイプのトランジスタが少なくとも一つ追加されている。

本発明のある実施例によれば、少なくとも基準電圧入力の一つと、信号駆動回路の出力用に電圧を選択する複数の復号化セルと、抵抗器電圧ディバイダと、それに該抵抗器電圧ディバイダと該復号化セルの少なくとも一つ間で接続された導線を少なくとも一つとを含むLCDパネル駆動用信号駆動回路が提供されることに注目すべきである。抵抗器電圧ドライバには、直列接続の複数の抵抗器を含む第1抵抗器系、更に直列接続の複数の抵抗器を含む第2抵抗器系が含まれる。上記の第1の複数の抵抗器の一つは、並列接続抵抗器を形成するため、複数の第2抵抗器の少なくとも一つに並列に接続される。そして、導線を並列接続の抵抗器の出力に接続できる。複数の復号化セルは、第1、第2抵抗器系間に位置する。更に別の実施例では、LCDパネルに複数の電圧レベルを提供する信号駆動回路

が提供される。この場合、信号駆動回路には、回路を横切って一定間隔に配置された複数の復号化セルと、復号化セルに電圧を供給するようになっている複数の抵抗器電圧ディバイダとが含まれる。この複数の抵抗器電圧ディバイダは、回路内の複数の位置に形成され、これらの位置間に復号化セルの少なくとも一部が配置される。

本発明の更に別の実施例では、第1電圧レベルでの入力データを提供するステップと、第1電圧レベルにおける復号状態のバスを介しての伝達ステップと、デコーダ・セル内の復号状態の復号化ステップと、第1電圧レベルより大きい第2の電圧レベルへのデコーダ出力の電圧レベルをレベル・シフトするステップとを含むLCD信号ドライバ内での電圧レベル・シフト方法が考慮されている。この方法には、デコーダ・セルへの復号状態のラッチングと、デコーダ・セルをリセット状態にするデコーダ・セルのリセッティングも含まれる。更に、この方法には、復号状態の最上位ビットの復号化と、その最下位ビットの復号化と、複数のデコーダ状態の一部を復号化するための復号化セル内で最上位ビットのデコーダを利用するステップとを含んでも良い。

本発明のもう一つの実施例では、LCDドライバに印加する複数の電圧の一つを選ぶためのLCDドライバ内のデコーダ・セルが提供される。このデコーダ・セルには、複数の第1トランジスタ・ゲートを形成する複数の第1データ入力ラインが含まれる。データ入力ラインは、セルの作動領域を横切り、第1トランジスタを形成する。更に、データ入力ラインは、他のデコーダ・セルの少なくとも一つにデータを入力する。複数の第2データ入力ラインが、複数の第2トランジスタ・ゲートに接続され、第2データ入力ラインも他のデコーダ・セルの少なくとも一つにデータを入力する。第1、第2トランジスタにより、ラッチ回路の一部が形成できる。また、第1トランジスタにより最下位ビットの入力トランジスタが形成され、第2トランジスタにより最上位ビットの入力トランジスタが形成されるようにすることができる。最上位ビットの入力トランジスタは、他のデコーダ・セルとの共有でも良い。

本発明の更に別の実施例では、デコーダ・セルが、複数のデータ入力ラインと

、データ入力ラインに接続したラッチ回路と、ラッチ回路に接続されたリセット回路とを含む、LCDドライバ内のデコーダ・セルが考慮されている。ラッチ回路によりデコーダ・セルのある復号状態が保持され、リセット回路によりラッチ回路がリセットされる。ラッチ回路には、複数の直列に接続された第1トランジスタを含むことができる。また、ラッチ回路には、複数の第2トランジスタも含まれ、第2トランジスタの少なくとも一つが第1トランジスタと直列に接続され、第2トランジスタの少なくとも一つのゲートが、一連の第1トランジスタと少なくとも一つの第2トランジスタ間のノードに接続されるようにしても良い。

本発明では更に、信号駆動回路の出力に印加される電圧に対応する復号状態を選ぶためLCD信号駆動回路内復号化回路も開示されている。この復号化回路には、信号駆動回路の所望の出力電圧を示すデジタル数値を搬送し、信号駆動回路

を通り少なくとも一つの隣接復号化回路まで伸びる複数の一般的に平行なデータ・バス・ラインが含まれる。データ・バス・ラインには、最上位ビットのデータ・バス・ライン及び最下位ビットのデータ・バス・ラインが含まれる。複数の最上位ビットのトランジスタは、最上位ビットのデータ・バス・ラインに接続されるゲートを有している。最上位ビットのトランジスタは、複数の最下位ビットのトランジスタの接続される作動領域において隣接した一連のトランジスタを形成する。最上位ビットのトランジスタは、少なくとも2つの復号状態を検出するために各最上位ビットのトランジスタが使用されるよう、複数の最下位ビットのトランジスタに接続される。更に、最下位ビットのデータ・バス・ラインを、選択的に作動領域を横切らせ最下位ビットのトランジスタを形成させることもできる。

本発明には、また、復号化回路にデジタル復号状態を提供するステップと、復号化回路内の最上位ビットのデコーダで最上位ビットを復号するステップと、復号化回路内の複数の最下位ビットのデコーダで最下位ビットを復号するステップと、それに複数の復号状態を復号するために最上位ビットのデコーダを利用するステップとを含む複数の独自の復号状態を復号する方法も含まれる。LCD信号ドライバの出力の電圧レベルに対応する独自の復号状態を復号する別の方法では

、ディコータ・セルに復号状態を提供するステップと、ある独自の復号状態に
答して選択的にラッチするラッチ回路により該復号状態を復号するステップと、
リセット回路でラッチ回路をリセットするステップとが含まれる。

図面の簡単な説明

図 1 は、液晶ディスプレイ・モジュールの作動環境を示す図である、

図 2 は、液晶ディスプレイ・モジュール内の回路構成のブロック図である。

図 3 は、本発明による信号ドライバの実施例内の回路構成を示すブロック図で
ある。

図 3 A は、本発明による信号ドライバ用のデコーダ回路の機能構成図である。

図 3 B は、本発明内で使用されるデコーダ・ロジックの構成図である。

図 3 C は、分配された抵抗器系を有する信号ドライバ・チップのブロック図で
ある。

図 3 D は、図 3 C に示す抵抗器系の一部のブロック図である。

図 3 E は、図 3 C に示す抵抗器系のレイアウトの実施例を示す図である。

図 4 は、レベル変化を有する信号ドライバ回路のブロック図である。

図 5 は、レベル変化を利用する信号ドライバ回路の別のブロック図である。

図 6 は、デコーダ及びその関連回路構成の電氣的概略図である。

図 7 は、図 6 に示す構成図のセルのレイアウトを示す図である。

図 8 は、図 6 に示す構成図の別のセルのレイアウトを示す図である。

図 8 A は、図 8 のセルのレイアウトの一部の電氣的概略図である。

図 8 B は、図 8 A に示す構成図のプログラマビリティを説明する電氣的概略図
である。

図 8 C は、図 8 に示すセルのレイアウトのプログラム化されたセルを示す図で
ある。

図 9 は、本発明のデコーダ及び関連回路構成の電氣的概略の実施例を示す図で
ある。

図 9 A は、本発明のデコーダ及び関連回路構成の電氣的概略の別の実施例を示
す図である。

図 9 B は、本発明によるデコーダ及び関連回路構成の更に別の電氣的概略の実施例を示す図である。

図 9 C は、本発明によるデコーダ及び関連回路構成の更に別の電氣的概略の実施例を示す図である。

図 9 D は、図 9 C に示すデコーダ及び関連回路構成に更にリセット回路を加えた実施例の電氣的概略を示す図である。

図 9 E は、図 9 D に示す構成実施例において、共有 M S B (most significant bit) 回路を有する電氣的概略図である。

図 9 F は、0 ～ 7 の種々のデコーダ用の共有 M S B ビットを示す表である。

図 1 0 は、図 9 B に示す電氣的概略図におけるセルのレイアウト図である。

図 1 0 A は、図 1 0 に示すセルのレイアウトにおけるプログラム化されたセルを示す図である。

図 1 1 は、図 1 0 に示すセルのレイアウトにおける N ウェル、ソース・ドレイン（又は作動領域）、ポリシリコン・マスク層を示す図である。

図 1 2 は、図 1 1 に示すマスク層に追加されたコンタクト及び金属 1 マスキング層を示す図である。

図 1 3 は、図 1 2 に示すマスク層に追加された経路及び金属 2 マスキング層を示す図である。

図 1 4 は、図 9 E に示す電氣的概略図におけるセルのレイアウトを示す図である。

発明を実施するための最良の形態

図 1 は、一般的な L C D の利用を示す図である。一般に、中央処理装置 (CPU) 2 がグラフィックス・コントローラ 4 と相互に作用し、ユーザに対して視覚的にデータを表示するため、L C D モジュール 6 にデジタル・データが提供される。

図 2 は、L C D モジュール 6 内に一般に含有される回路構成の概略を示す図である。例えば、L C D モジュール 6 には、L C D 制御 A S I C 8、電圧供給回路 1 0、カラー L C D パネル 1 2 をふくむことができる。L C D パネル 1 2 は、例えば薄膜トランジスタ L C D (“TFT-LCD”) で良い。L C D パネル 1 2 は、一般

に縦横ドライバによって駆動される。例えば、縦列は信号ドライバ14に、横列はゲート・ドライバ16により駆動される。通常、信号ドライバ14は、LCD制御ASIC8からバス9を介してデジタル映像データを、バス7を介して制御信号

を、また供給電圧回路10からバス11を介してアナログ供給電圧を受け取る。しかし、本発明は図2に示す特定のLCDモジュールに限定するわけではない。

信号ドライバ14からは、各縦列に対してアナログ電圧が出力される。更に、信号ドライバ14は、LCDパネル12内の画素に対して所望のグレー・スケールが得られるよう様々なアナログ出力電圧を提供する。一般に、LCDパネルの縦列を駆動するためには、複数の信号ドライバ・ユニットが使用される。例えば、1920列を有するLCDパネルの場合、各信号ドライバが192列以上を駆動することができれば、10個の信号ドライバ14により駆動可能である。

図3は、本発明の実施例による駆動回路の概略を示す図である。各信号ドライバ14（ソース、データ、又はコラム・ドライバ）の各チャンネルにより、きわめて正確なアナログ電圧が生成され、LCD12に出力される。出力電圧レベルは、グラフィックス・コントローラ4からの対応するサブ画素データが基となる。チャンネルは、信号ドライバ出力（又は物理的LCD画素）とその関連回路を意味する。カラー・フィルタ付きLCDの場合、一つのチャンネルが、赤、緑、又は青といったサブ画素一つに対応する。単色LCDでは、一つのチャンネルが一つの画素に対応している。

図3のブロック図は、次の7個の主要部から構成される信号ドライバ14の内部構造を示す。つまり、制御ロジック・ユニット20と、アドレス・シフト・レジスタ21と、入力レジスタ24と記憶レジスタ25を含むデータ・レジスタ22と、抵抗器系26と、レベル・シフタ28と、デコーダ／出力電圧ドライバ30である。

制御ロジック・ユニット20は、信号ドライバの入出力機能を調整し、内部タイミング信号を生成し、自動スタンバイ・モードを提供する。スタンバイ・モード時には、信号ドライバ14の内部回路のほとんどが、電力損を最少とするため

、パワー・ダウンされる。

アドレス・シフト・レジスタ 21 には、N ビットのシフト・レジスタが含まれている（N は信号ドライバ 14 内の独自にアドレス指定可能なチャンネル数である）。移動レジスタ 21 の移動方向は、DIR ピンの論理状態により決定される。移動レジスタ 21 は CLK によりクロック測定される。

信号ドライバ 14 の第 1 実施例において、201 個の入力レジスタ 24 が存在し、それぞれ入力表示データの 201 個の 6 ビット・ワードをラッチする 3 組の 67 個のラッチ回路から構成されている。第 2 の実施例では、192 個の入力レジスタ 24 が存在し、それぞれ表示データの 192 個の 6 ビット・ワードをラッチする 3 組の 64 個のラッチ回路から構成されている。各ラッチ回路には、それぞれが入力表示データの有効性（重み）に対応する 3 つの 6 ビット平面が含まれる。（注： D_{15} は最上位ビット（most significant bit: MSB）を表し、 D_{10} は最下位ビット（least significant bit: LSB）を表す）。

第 1 実施例において、記憶レジスタ 25 が、1 ライン期間において 6 ビット表示データを 201 チャンネル記憶し（第 2 実施例では 6 ビット・データを 192 チャンネル）、これによりデコーダ 30 はライン時間 X からの表示データを使用可能となり、データの次のライン（ライン時間 X+1 から）は入力レジスタ 24 にロードされる。記憶レジスタ 25 の内容は、ライン時間 X+1 の終わりに HSYNC 上で低から高への遷移後、入力レジスタ 24 からの表示データの 201 個（又は 192 個）の 6 ビット・ワードの次のラインにより上書きされる。

分電圧に用いる内部抵抗器系 26 は、64 個から成る一連の抵抗器により構成可能であり、9 つの電圧基準入力（ $V_0 \sim V_8$ ）からの 64 の別個の電圧レベルを生成する。各 1 組の隣接基準電圧入力間では、基準電圧間で 8 個の一連のレジスタを利用し、線形電圧レベルが生成される。

デコーダ 30 により、201 個（又は 192 個）のチャンネルそれぞれに対し記憶レジスタ 25 内のデータを基に所望の出力電圧が選ばれる。ライン X+1 の表示データが入力レジスタ 24 内にロードされるので、デコーダ 30 では、記憶

レジスタ 25 に記憶されたライン $X+1$ のデータが使用される。

各出力電圧ドライバ 30 は、表示データの対応する復号した情報（デコード）を基に 64 個のアナログ電圧の一つを出力する。第 1 の実施例では、201 個の出力電圧ドライバ 30 が含まれ、第 2 の実施例では、192 個含まれている。アナログ電圧は、HSYNC 上で低から高へ遷移する場合、全ての信号ドライバの全チャンネルから LCD 12 の現在の横列に同時に出力される。

図 2 と 3 に示すように、グラフィックス・コントローラ 4 は、LCD 12 モジュール 6 内の制御 ASIC 8 に対して、水平同期（HSYNC）、垂直同期（VSYNC）、画素クロック（PCLK）、そしてデータ・イネーブル（DATA-Enable）信号と平行して 3 チャンネルの画素データ $P_{17} \sim P_{00}$ （計 18 ビットの 1 チャンネルにつき 6 ビット）を出力する。LCD 制御 ASIC 8 は、画素データを再フォーマットし、平行に 3 チャンネルのデータを各信号ドライバ 14 に出力する。

本発明は、様々な LCD 画素解像度、CRT、LCD ディスプレイの Simulscan™、更に様々なフレーム周波数をサポートする。加えて、本発明は、LCD のチャンネル（画素）を駆動するために、単一バンク、又は二重バンク構成で利用できる。

LCD 制御 ASIC 8 は、信号ドライバ 14 の各バンクに対して、3 つの 6 ビット・ワードを平行に（赤、緑、青サブ画素それぞれ 6 ビットの計 18 ビット）出力する。信号ドライバ 14 の 2 つのバンクが使用される場合（図 2 に示すように）、LCD 制御 ASIC 8 は、データ・レートが入力画素データ・レートの半分になるよう、入力データを各バンク用の別個のデータ・ストリームに分割する。信号ドライバ 14 の単一のバンクが使用される場合、データ・レートは入力画素データ・レートと等しくなる。LCD 制御 ASIC 8 は、HSYNC と DCLK 信号を生成し、信号ドライバ 14 に出力する。

図 3 に示すように、信号ドライバ 14 は次の信号を入力として受け取る。つまり、イネーブル・イン・／アウト（EI01#, EI02#）信号、データ移動方向制御（DIR）信号、データ・クロック、データ（ $D_{25} \sim D_{20}$ 、 $D_{15} \sim D_{10}$ 、 $D_{05} \sim D_{00}$ ）

）、水平同期（HSYNC）信号である。

イネーブル入出力信号（EIO1#、EIO2#）は2つの機能を提供する。まず、EIO1#及びEIO2#は信号ドライバ14を「イネーブル化」する。信号ドライバ14は、通常低電力スタンバイ・モードにあり、EIOx#（イネーブル・イン）入力の高から低への遷移により作動される。EIOx#上の高から低への遷移が検出され（そしてスタンバイ・モードから出る）た後、信号の入力データのラッチングが開始される。次に、EIO1#及びEIO2#により、一旦201個（又は192個）のデータ・ワードがラッチされると、現在作動中の信号ドライバ14がEIOx（イネーブル・アウト）出力を低く駆動することにより次の信号ドライバ14のイネーブル化が可能となる。

信号ドライバ14の移動方向は、DIR入力信号の状態により制御される。DIR信号により、信号ドライバ14は、チャンネル1からチャンネル201（又は192）或はチャンネル201（192）からチャンネル1のどちらか一方に表示データを入力する柔軟性を与えられる。

DIR信号が V_{DD} （DIR=1）に接続されている場合、表示データ入力は、EIO2#入力上で低位信号(low-going signal)によりイネーブル化される。3チャンネルのデータ（18ビット）が、各DCLKの立下がりエッジ(falling edge)でドライバ14に入力される。全チャンネルの表示データが入力レジスタ24にラッチされた後、信号ドライバ14は自動的に低電力スタンバイ・モードに入り、EIO1#信号が67番目（又は64番目）のDCLKの立下がりエッジで低く駆動される。EIO1#信号は、HSYNC信号の次の低から高への移行により非作動状態（高）にリセットされる。

201個（192個）のチャンネルの出力電圧は、それぞれHSYNCの上昇端上のLCD12に同時に出力される。表示データの第1データ・ワードにより復号された電圧レベルは、ピン V_{S201} （又は V_{S192} ）から出力され、表示データの最後のワードにより復号されたレベルはピン V_{S1} 上で出力される。

DIR信号がGND（DIR=0）に接続されている場合、表示データ入力はEIO1#入力上の低進行信号によりイネーブル化される。201個（192個

）のチャンネルの表示データが入力レジスタ内にラッチされた後、信号ドライバ 1 4 が自動的に低電力スタンバイ・モードに入り、E I O 2 # 信号は 6 7 番目（6 4 番目）の D C L K の立下がりエッジで低く駆動される。E I O 2 # 信号は、H S Y N C 信号の次の低から高への移行により非作動状態（高）にリセットされる。表示データの第 1 データ・ワードにより選ばれた出力電圧レベルはピン V_{S1} から出力され、表示データの最後のワードにより選ばれたレベルはピン V_{S201} （ V_{S192} ）上で出力される。

信号ドライバ 1 4 は、D C L K 信号の立下がりエッジでデータ信号のサンプル抽出を行う。L C D 制御 P A S I C 8 は、H S Y N C の作動期間中は、D C L K を閉鎖しなければならない。

信号ドライバ 1 4 がイネーブル化（E I O x #，イネーブル・インが低）される度に、3 つのチャンネル用表示データの 3 個の 6 ビット・ワード・データ（ $D_{25} \sim D_{20}$ 、 $D_{15} \sim D_{10}$ 、 $D_{05} \sim D_{00}$ ）が、D C L K の立下がりエッジで入力レジスタ 2 4 内に平行にラッチされる。D C L K の 6 7 個（又は 6 4 個）のトランジスタの後には、2 0 1 個（1 9 2 個）全てのチャンネル（ $3 \times 6 7$ 、或は $3 \times 6 4$ ）のデータが入力されている。6 7 番目（又は 6 4 番目）の D C L K パルスの後に、信号ドライバ 1 4 が電力消費を最少にするためスタンバイ・モードに戻る。

H S Y N C 上の各低から高への移行により次の事項が引き起こされる。つまり、2 0 1（1 9 2）個の入力レジスタ 2 4 の内容が記憶レジスタ 2 5 に転送され、

入力レジスタ 2 4 は次のライン時間中に表示データの次のラインで満たすことが可能となる。出力電圧ドライバ 3 0 が、2 0 1（1 9 2）個全部のチャンネルに対して同時に L C D 1 2 への出力電圧を更新する。E I O 1 # 及び E I O 2 # 信号が、非作動（高）状態にリセットされる。

イネーブル・アウトのピンは、6 7 番目（6 4 番目）の D C L K の立下がりエッジで低く駆動される。イネーブル・アウトは、その後のデータが隣接ドライバ 1 4 にロードされるよう、隣接の信号ドライバのイネーブル・インのピンに接続

しても良い。第1信号ドライバ14へのEIO1#入力は、接地される。これは、第1信号ドライバ14が第1の利用可能クロックの立下がりエッジで表示データをラッチすることを意味する。システムの実施においては、データが第1の利用可能DCLKで有効となるよう、データ・クロック（DCLK）入力がDisplay-Enable信号によりゲート制御されるよう保証する必要がある。67番目（64番目）のDCLKパルス後に、信号ドライバ14は電力消費を最少とすためスタンバイ・モードに戻る。

各出力電圧ドライバ30では、多数の正確なアナログ電圧（例えば、64）が生成される。出力電圧ドライバ30は、HSYNCの上昇端の後、201（192）個全部のチャンネルに対して、LCDパネル12に多数の電圧の一つをそれぞれ同時の出力を開始する。

デコーダ30は、201（192）個の各チャンネル用に、記憶レジスタ25内のデータを基に所望の出力電圧レベルを選択する。

一連の64個の抵抗器より構成される内部抵抗DAC26は、どの組の隣接基準電圧間にも線形電圧レベルを生成する。

図2に示す供給電圧回路10は、LCDパネル12が要求する全ての電圧を生成する。信号ドライバ14では、次の電源供給と基準電圧が要求される。つまり、一つのデジタル供給電圧（ V_{DD} ）、一つのアナログ供給電圧（ V_{DDA} ）、9つの

基準電圧（ $V_8 \sim V_0$ ）である。

図3に示す信号駆動回路14は、201個のLCD縦列のそれぞれに最大64個の電圧レベルを提供する。しかし、より多数又は少数の電圧値や、列が利用できることが分かるであろう。信号ドライバ14内では、各列に特定の電圧を出力するために、デコーダ／出力電圧ドライバ30が使用される。デコーダ／出力電圧ドライバ30と抵抗器計26間の相互作用は、図3Aにより明瞭に示されている。図3Aは、1列用のデコーダ回路とデコーダに利用される完全なデジタル・デコーダの設計を機能的に示している。図示の都合上、図3Aでは、8つの電圧レベルのみ提供されている。よって、この8つの電圧レベルの選択には、3デー

タ・ビットが必要となる。どのような数の電圧レベルでも選択可能であることを認識すべきである、例えば、信号ドライバ14が、所望のレベルを選ぶのに6データ・ビットを必要とする64個の電圧レベルを利用しても良い。一般には、 2^N の電圧レベルが使用される（Nはデータ・ビットの数を表わす）。

図3Aにおいて、デジタル・データのビット・ライン40及びその相補形(complement)が一連のNANDゲート41に供給される。各NANDゲート41は、8つの可能性のあるデジタル状態の一つを選ぶために接続される。NANDゲート41には、アナログ・スイッチ42が接続される。アナログ・スイッチ42は、また抵抗系43にも接続される。各所望の電圧出力のために、アナログ・スイッチ42が一つ提供され、例えば、図3Aに示すように、8つの可能性のある電圧出力には8つのスイッチ42がある。従って、図3Aに示す回路では、データ・ビット・ライン40上のデジタル・データをアナログ電圧出力44に変換するのに完全なデジタル・復号化ロジックが利用される。図3Aには図示しないが、スイッチ42では、NANDゲート41の出力とNANDゲート41の反転出力の両方が利用できる。

図3Bは、64個のアナログ出力電圧 $V_{in0} \sim V_{in63}$ の一つを選ぶため使用され

る完全なデジタル復号器ロジックを示す図である。64個のNANDゲート41が6ビットのライン40に接続され、各NANDゲート41は64の可能性のあるデジタル状態の一つを選ぶために接続される。図3Bに示すように、スイッチ42に対して各NANDゲート41の反転出力も提供される。図3Bに示すように、インバータ45とNANDゲート41を共にデコーダ・セル46と考えても良い。よって、64個の可能性のあるアナログ出力に対して、64個のデコーダ・セル（セル0～63）、64個のアナログ・スイッチ、64個のアナログ電圧が使用される。しかし、ここで使用されるデコーダ・セルにはスイッチ42も含むことができることが分かるであろう。一般には、セルは、信号ドライバの出力に電圧を提供するため特定の復号状態を復号するのに使われる単なるくり返し構造である。

図3Aと3Bを参照し上記したように、列出力に交換される電圧レベルを供給するため、抵抗器系或は抵抗器電圧分圧器を使用できる。本発明の1実施例では、信号ドライバ・チップ接着パッドに供給される各9つの電圧基準電圧間に直列に8個の抵抗器を配置することにより、64の別個の電圧レベルが利用される。この配置により、特定LCDパネルの透過率-電圧応答の非線形特性に適合するデジタル・コード-出力電圧曲線を生成するため複数のアナログ電圧が提供される。9つの電圧基準の利用により、所望のコード-電圧応答の8セグメントの部分的線形近似化が可能となる。電圧基準 V_0 及び V_8 は、ドライバが提供可能な極値を示し、基準電圧 $V_1 \sim V_7$ は、部分線形的に V_0 と V_8 間の曲線形状を示す。従って、この抵抗器系のデジタル/アナログ変換コンバー(DAC)の設計方法では、適度な電気値を有する別個の抵抗器が少なくとも64個必要となる(それぞれ1実施例においておよそ40オーム)。金属抵抗による著しい且つ不都合なエラーを避けるため、接着パッドから抵抗器系までの金属抵抗の合計を、DACの一つの最下位ビットに対応する最小抵抗器セグメント(40オーム)に比べて小さくしな

ければならない。所望のコード-電圧曲線が線形でなかった場合、パッドから系 V_0 及び V_8 への金属抵抗を減少することな最も重要なため、抵抗器系の全体的電流を生み出したり、減少したりするには V_0 及び V_8 が必要であり、 $V_1 \sim V_7$ からは一つも直流が供給されないことが理想的である。 $V_1 \sim V_7$ は線形の場合から逸脱しているため、 V_0 及び V_8 が残りの系電流を供給する一方、これらは曲線形状の変更に必要な「相違」電流を生み出したり、或は減少させたりしなければならない。従って、他の基準に対してもその金属抵抗を最小にすることは重要である。信号ドライバ・チップが長いため、金属配線部分自体が相当な抵抗を有することもある。例えば、チップの1端から他端までの金属の最小幅の配線部が、700～800オームとなる場合もある。

チップのある1端に隣接して64個の抵抗器を接地する場合、結果的に抵抗接着パッドから抵抗器及び/又は抵抗器系からデコーダ・セルまでの長い金属配線部となり、抵抗が容認できない高さになる可能性がある。更に、各9つの基準か

らの抵抗は、一般的な正確性の必要条件を満たすため、等価か或は少なくともある適度の最大幅の制限を受けるようにしなければならない。加えて、どのような出力に対しても、抵抗器からの金属抵抗が大きすぎる場合、チャンネル間で異なる遅延が次々に作り出され、目に見える縞模様が生成されてしまう。

従って、抵抗パッドから抵抗器、或は抵抗器から出力、或はその両方の長い金属配線を避けるよう抵抗器系を配置することが望ましい。回路の中央に単一信号抵抗器系を配置すれば、直流抵抗誤差項が適度に小さくなり、また基準パッドを、チップ頂上を横切り中央ラインで左右対称に配置した場合、金属からの直流抵抗の最少化が容易に達成される。しかし、チップ中央の抵抗器系からチップ端隣接のデコーダ・セルまで金属ラインが伸びている場合、350～400オームに近い抵抗を有することになり、交流性能において認識できる相違を有する出力を生成する可能性がある。

従って、本発明では、どのデコーダ・セルからの抵抗器までの最大距離もチップを横切り等価となるよう、2つの平行抵抗器系を有する分配抵抗器が利用される。これにより、直流抵抗を最小にでき、更にはチャンネル間の交流設定特性の相違を最少にすることができる。どの抵抗器からのどの出力においても、金属抵抗は、最悪の場合でも、回路の1端から他端までの金属抵抗の1/4である。更に、基準パッドをチップの垂直中央ラインで左右対称に配置することにより、パッドから抵抗器までの各基準金属抵抗を最少にし、等価とすることが可能である。3つの抵抗器系が使用されれば、最悪の場合でその距離は1/6、4つの系が使用されれば、1/8となることが分かるであろう。

抵抗器からパッドまでの金属抵抗における相違を避けるもう一つの方法は、抵抗器系をU形構造内に折り込むことであり、これにより各抵抗器系への上下部両方の接続がチップ頂上に隣接して行え、またパッドと抵抗器間の金属距離が最小となる。例えば、9つの基準電圧の実施例に関して言えば、計9個の基準があるが、金属抵抗に最も敏感な2箇所は、最も多く電流を搬送するため上下部接続箇所となる。2個の基準レベルに対するこれらの低抵抗接続にも関わらず、パッドから抵抗器まで異なる距離を横断する更に7つの基準が存在する。上記の折込み抵

抵抗器配置により最悪の場合の小さい時定数を保持するため、抵抗器に基準電位を分配する水平金属バスを、その抵抗を低く保持するよう、できる限り幅広くする必要がある。ダイの大きさをできるだけ小さく保持するためには、各基準ラインを全体的な最悪の場合の金属抵抗を最少に保持するために必要な幅だけに設定する。この結果、幅の異なる色々な基準用の金属バスとなる。また、最小のダイ領域の拡大によって、時定数を最小に維持できる。

縮尺は合っていないが、上記原理に基づく抵抗器系、或は電圧分圧器を使用する一般的信号ドライバ回路が図 3 C 及び 3 D に示されている。図 3 C において、信号ドライバ・チップ 1 4 は、中央点 3 9 を中心に配置された基準電圧 $V_0 \sim V_8$ 。

用に 9 個の基準電圧接着パッド 3 5 を有している。2 個の U 形抵抗器系 3 6 が、チップ長を横切り、およそ $1/4$ 、 $3/4$ の位置に設置されている。復号化セル列とスイッチ（図示せず）は、抵抗器系 3 6 間、そして各抵抗器 3 6 と信号駆動回路 1 4 の端部間に形成される。3 個の系が使用される場合、隣接系間の距離が回路長の $1/3$ となるよう、系は一定等間隔で配置すべきである。4 個の系では、回路長の $1/4$ というふうになる。従って、隣接系は回路長のおよそ $1/n$ に一定間隔で配置されることが望ましい、この場合 n は回路長を表し、回路のどちらか一方の端部上の系と回路端間の距離は $1/2n$ である。

各抵抗器系 3 6 は、各基準電圧接着パッド（図示せず）に共に接続される電圧入力 $V_0 \sim V_8$ を有している。これにより、平行抵抗器系が作成される。図 3 D に示すように、どの 2 つの隣接抵抗器系電圧入力間でも、8 個の小さい抵抗器 3 7 が形成される。6 4 本の導線 3 8 が抵抗器系 3 6 の各ノードを接続し、チップを横切るデコーダ・セルの各列に対して電圧入力 V_{in} を提供する。

図 3 C は、抵抗器系の電氣的概略を説明する図である。物理的レイアウトは多数の形態が可能である。例えば、図 3 E に示すように、抵抗器系 3 6 の抵抗器 3 7 を織混ぜることも可能である。図 3 E では、 V_0 及び V_8 に隣接の抵抗器系 3 6 一部においてそのような織混ぜレイアウトが示されている。

前記のように、抵抗器系の最も敏感な部分は上下部である（図 3 C と 3 D の V_0 と V_1 間、 V_7 と V_8 間等）。従って、 V_0 接着パッドから各抵抗器 3 6 の V_0 接続

までの距離は、およそ等価であることが特に望ましい。同様に、 V_8 の距離も等しいことが望ましい。これにより、 V_0 及び V_8 の接着箇所が、回路の中央点に最も隣接した箇所となる。平行抵抗器系を形成し、所定の接着パッド35から各抵抗器系36の対応する入力ノードまでの距離をおよそ等しく保持することにより、接着パッドから各系36（例えば、図3Cに示す左又は右の抵抗器系36）までの金属リード抵抗がおよそ等しくなり、よってより正確な電圧分圧器が提供される。

る。

更に、もし接着パッドから抵抗器系入力までの金属ラインにおける抵抗を補償するために最初及び最後の抵抗器（即ち、 V_0 と V_8 入力に隣接のもの）を少し調整するならば、より正確な電圧分圧器が得られる。よって、例えば、接着パッドから V_0 入力までの抵抗と第1抵抗器を横切る抵抗までの抵抗が、系内の次の62個の抵抗器を横切る抵抗に等しくなければならない。系内の最後の抵抗器も同様に調整できる。

多くのLCDモジュールにおいて、モジュールがよくバッテリー電源を使用するため、電力損が主要な問題となる。本発明によれば、LCDモジュールでの無視できない量の総電力損が、クロック上の寄生静電容量の帯電、そして図2に示すバス・ライン7、9等、ドライバ・チップへのデータ・ラインの帯電によって引き起こされることが分かる。このような容量性ラインの電圧は、周波数（ f ）、電圧（ V ）でのキャパシタ（静電容量 C を有する）を充電、放電することにより消散される電力（ P ）は次の式により一般に表せるように、そのライン内での電力損に影響をあたえる。

$$P = C V^2 f$$

一般に低操作電圧は結果的に低電力損をもたらすため、信号ドライバのデジタル回路の操作電圧も電力損に影響を与える。よって、電力の損失を減少するには、LCDモジュールとドライバ回路をより低い電圧で操作することが望ましい。

しかし、高いLCD画素のコントラスト率を得るためには、高いアナログ出力電圧幅、例えば5ボルトが、各LCDパネル列において一般に望まれる。更に、

一般的には、アナログ・スイッチが特定のアナログ出力電圧、例えば5ボルトまで供給するようにすれば、スイッチへの制御入力もまたその電圧で作動しなければならない。

従って、本発明によれば、信号ドライバが最大アナログ出力電圧より低い電圧で作動するよう、レベル・シフト回路、例えば図3に示すレベル・シフト回路28などが利用される。レベル・シフト回路により、アナログ出力が例えば5ボルト等のより高い幅を有する一方で、LCDモジュール、信号ドライバの一部（特に、高周波数部、高静電容量部）が、例えば3.3ボルト以下の低操作電圧で動作可能となる。

本発明の他の実施例によれば、所望であれば、レベル・シフトが信号ドライバ内の他の様々な点達成できる。図4と5は、駆動回路14の代わりのレベル・シフト実施例を示す図である。図4と5の駆動回路14は、図3に示す駆動回路14と同様であるが、レベル・シフト回路28の配置が図3、図4、図5間で異なっている。レベル・シフト回路機構の配置の影響は、64個の別個の電圧レベルで201個の出力を駆動する信号ドライバを考慮する時、より簡単に説明される。図3に示すように、レベル・シフト回路は、記憶レジスタ22とデコーダ回路30間に配置される。この実施例では、 201×12 （201個の出力と各出力につき12本のデータ・ライン）、又は2412本の別個のラインがレベル・シフトされなければならない、よって2412個のレベル・シフト回路が使用される。一方図4に示すように、レベル・シフトは、アドレス・シフトと記憶レジスタの前に設置することもでき、この場合、データ経路において18個のみのレベル・シフト回路が採用される（クロック、制御信号ではレベル・シフトが更にいくつか追加される）。最後に、図5に示すように、各アナログ出力において64個のレベル・シフトが使用され、信号駆動回路14内で使う計 64×201 （=12864）レベルのシフトが提供されるよう、各特定のアナログ・スイッチを有するレベル・シフトを使用することもできる。

上記のように、レベル・シフトの位置は、必要とされるレベル・シフトの数に影響を与える。また、レベル・シフトの位置は、特定電圧レベルで作動する回路

機構の量にも影響を与え、よって回路の総電力損も影響を受ける。信号ドライバ

・チップにより隣接して設置されるレベル・シフト回路機構では、必要とするレベル・シフタ数は少ないが、低電圧で操作する回路機構も減るため電力損に関する利点が減少する。例えば、3.3及び5ボルトの操作レベルが選ばれる場合、図4に示すブロック50では3.3ボルトの回路機構が包含され、ブロック52では5ボルトの回路機構が包含される。一方、図5の実施例に示すように、レベル・シフタが出力での各スイッチに関連している場合、ブロック54のみが5ボルトで動作する必要がある。また、アドレス・シフタの前に配置された場合、レベル・シフタがより高い周波数で動作する必要がある、よってレベル・シフト回路の複雑性が増加する。従って、レベル・シフタの任意の配置において影響を与える多数の要素が存在する。

図6は、デコーダ・セルの構成をしめす図である。図6でのデコーダ・セルは、図3Bに示すデコーダ・セル46として、或は図4に示すデコーダ・セルとして使用できる。図6において、デコーダ・セル100は、NANDゲート102とインバータ104により構成される。例証のため、ここでは6データ・ビット回路（即ち、64個の出力電圧）が使用されている。NANDゲートのデータ入力は、データ・ラインa, b, c, d, e, fにより表される。a, b, c, d, e, fは例証のため選ばれたものであり、デコーダ・セルがどの6ビット数値を復号化しようプログラムされるかに応じ、NANDゲート入力として相補データ・ビットが提供可能である。NANDゲート102には、図6に示すように、お互いに平行に配置された複数のPチャンネルMOSデバイス110が含まれる。更に、NANDゲート102には、図6に示すように、直列に配置された複数のNチャンネルMOSデバイス112が含まれる。所望のアナログ出力電圧108がLCD列に供給されるよう、NANDゲート102の出力、反転出力（インバータ104）を次にスイッチ106に提供される。

図6に示す構成の物理的レイアウトが図7に示される。このようなセルは、一般にシリコンでの従来のIC製造技術を使い形成できる。図7において、データ

・ビット a, b, c, d, e, f が、第 1 組の平行導線 1 2 0 により各セルに提供される。反転（又は相補）データ・ビットは、第 2 組の平行導線 1 2 2 により各セルに提供される。導線 1 2 0、1 2 2 は第 2 金属層に形成されるのが望ましいが、他の導線も使用可能である。ブロック 1 2 4 が一般にインバータ 1 0 4、スイッチ 1 0 8 を表している。ブロック 1 2 6 は、N チャンネルのトランジスタ 1 1 2 が形成される N チャンネル・デバイス領域を表す。ブロック 1 3 0 は、P チャンネル領域 1 2 8 と関連した N ウェル領域 (N-well region) を表す。ここで回路はその重量は図示されていない。例えば、当業者であれば分かるように、一般の回路レイアウト必要条件では、ブロック 1 2 6 等の N チャンネル領域とブロック 1 3 0 等の N ウェル領域間には大きなスペースが必要とされる。

再び図 7 において、導線 1 3 2 は、N チャンネル・トランジスタ 1 1 2 と P チャンネル・トランジスタ 1 1 0 のゲートとして使用されるポリシリコン製導線が望ましい。導線 1 3 4 は、P チャンネル・トランジスタ 1 1 0 に共通の VDD ラインを提供する。N チャンネル・トランジスタ 1 1 2 は、導線 1 3 6 とグラウンド 1 3 8 間で直列に接続される。導線 1 3 6 は、図 7 に示すように、各 P チャンネル・トランジスタと一つの N チャンネル・トランジスタに接続される。従って、導線 1 3 6 は、NAND ゲート構造の出力ラインとして作動する。

導線 1 4 0 及び 1 4 2 へのコンタクト或はバイアス 1 4 4 は、データ・ライン 1 2 0 及び 1 2 2 上に存在する特定の 6 ビット数値を選ぶため、各デコーダ・セルをプログラム化するために使用される。導線 1 4 0 と 1 4 2 は第 1 金属層に形成されるのが望ましい。デコーダ・セルのプログラミングは、導線 1 2 0 と 1 4 2 の適切な交差箇所、そして導線 1 2 2 と 1 4 0 の交差箇所にバイアスを設置することにより達成される。例えば、図 7 に示すように、図示のセルが 6 ビットの a 補数, b 補数, c 補数, d, e, f を復号化するように形成される。よって、

デコーダ・セルにより、データ・ライン上に存在するデジタル数値の復号が可能となり、次に対応する所望のアナログ電圧出力が出力 4 8 に対して選ばれるように、セルがスイッチを選択する。

図 8 は、図 6 に示すデコーダ・セルの別のセルのレイアウトを示す図である。

図6と8の両方において、ブロック160はNANDゲート回路機構102を表し、ブロック162には、スイッチ106とインバータ104の回路機構が含まれる。ブロック164は、Nチャンネル・トランジスタ112を含むNチャンネル・トランジスタ作動領域である。ブロック166は、Pチャンネル・トランジスタ114（図6に示すトランジスタ110等）を含むPチャンネル・トランジスタ作動領域である。ブロック168は、Pチャンネル領域166を伴うNウェル領域である。データ・ビットa, b, c, d, e, f、そして補数にした（相補形にした）のデータ・ビットa, b, c, d, e, fは、バス・ライン170、例えばポリシリコン製ライン、を通してセル内に伝送される。よって、図8と8Cに示すように、セルはバス・ラインに対して作成されるコンタクトを必要としない。本発明は、図8に示すデータ・バス・ラインの順序に限定されるわけではない。例えば、データ・ビットとその補数（相補形）が互いに隣接して伝送されるよう、バス・ラインを配置可能である。またそれに代わって、全てのデータ・ビットを6本のバス・ラインにグループ化し、全ての補数を6本のバス・ラインにグループ化可能である。最後に、他の任意の順序も使用できる。

信号駆動回路内において、図8に示すセルは、実質的にチップ高を横切るように、各列出力に対して64回繰り返される。よって、例えば、バス・ライン170は、実質的に信号ドライバ14の下部から上部まで伸びることができる。そして、セルは、このレイアウト内でお互い積層される。出力列の接着パッドが、チップの底部に沿って配置され、このようなパッドではユーザ定義の分離（1実施例で80ミクロン）が必要なため、各セルの幅（図8での方向w）は前もって定

義される。これにより、セル面積を減少するためには、各セルの高さ（図8での方向h）を減少しなければならない。従って、本発明によれば、高さの減少を強調したセル設計が提供されている。

バス・ライン170は、Nチャンネル・トランジスタ112及びPチャンネル・トランジスタ114のゲートとしても機能するポリシリコン製ラインである。ポリシリコンをバス・ラインとして用いることにより、金属製バス・ラインに比べてバス・ラインの抵抗が上昇するが、バス・ライン170上の信号はゆっくり

と変化しているため、この特性はセルに対してそれ程大きな影響は与えない。図 8 に示すような N チャンネル・トランジスタ 1 1 2、P チャンネル・トランジスタ 1 1 4 のレイアウトは、結果的に図 8 A に示すような回路となる。よって、N チャンネル・トランジスタ 1 1 2 は、グラウンド 1 7 2 と NAND ゲート出力 1 7 4 間で作動領域（又は、ドレイン源となる領域）を共有した、隣接した一連のトランジスタをしてレイアウトされる。一方プログラムされた場合、1 2 個のトランジスタ 1 1 2 のうち、デコーダ・セルが復号するようプログラムされた 6 ビット数値に対応する 6 個のトランジスタのみ、グラウンド 1 7 2 と NAND ゲート出力 1 7 4 間で直列に接続された状態を保持される。同様に、P チャンネル・トランジスタ 1 1 4 も、作動領域を共有した、隣接した一連のトランジスタとしてレイアウトされる。プログラムされた場合、1 2 個のトランジスタ 1 1 4 のうち、デコーダ・セルが復号するようプログラムされた 6 ビット数値に対応する 6 個のトランジスタのみ、V_{DDD} と NAND ゲート出力間で並列に接続された状態に保持される。

図 8 と 8 A に示す回路のプログラミングの方法は、図 8 B と 8 C を参照すればより明瞭に理解できる。特定の復号状態用の直列トランジスタとして使用されないトランジスタ 1 1 2 は、短絡される。未使用トランジスタ 1 1 2 は、トランジスタのソースとドレイン間の金属ストラップ 1 7 8 に隣接させ（突き合わせ）る

ことにより、ショートされる。例えば、図 8 B と 8 C に示すように、セルは 6 ビット数値 a, b, c, d 補数, e, f 補数を復号するようプログラムされており、従って金属ストラップ 1 7 8 とコンタクト 1 8 2 は、ゲートとしてポリシリコンのバス・ライン、a 補数, b 補数, c 補数, e, e 補数, f を有するトランジスタのソースとドレイン間に設置される。

特定の復号状態用に使用される P チャンネル・トランジスタ 1 1 4 は、V_{DDD} と NAND 出力ライン 1 7 4 間で並列に接続される。6 個の P チャンネル・トランジスタ 1 1 4 は、デコーダ・セルが復号するようプログラムされた 6 ビットの数値に対応するよう並列に接続される。所望の P チャンネル・トランジスタは、V_{DDD} と NAND 出力間でトランジスタを並列に接続するため必要なソースとド

ラインの位置にコンタクト 182 を配置することにより選択される。特定の復号状態用に使用されない残りの P チャンネル・トランジスタは、コンタクト 182 の配置を通して V_{DD} ライン 180、又は NAND 出力ライン 174 のどちらか一方に短絡される。従って、図 8 B と 8 C に示すように、6 ビットの復号状態 A、B、C、D 補数、E、F 補数に対応する P チャンネル・トランジスタ 114 は、 V_{DD} ライン 180 と NAND 出力ライン 174 間で並列に接続される。一方、a 補数、c 補数、d、e 補数、f に対応する P チャンネル・トランジスタは、 V_{DD} ライン 180 にショートされ、補数 b に対応する P チャンネル・トランジスタは NAND 出力ライン 174 にショートされる。一般に、所望のトランジスタが並列に接続され、所望でないトランジスタがショートされるように、P チャンネル・トランジスタは、ライン 174 或は 180 にショートされる。

図 6 に示すように、各デコーダ・セルには、平行 P チャンネル、直列 N チャンネルの NAND ゲート入力構造と、P チャンネルと N チャンネル・デバイスとの両方を有するインバータが含まれる。しかし、本発明によれば、全ての同じ導電率タイプの入力トランジスタを利用する NAND ゲート構造を利用可能である。

一連の直列、並列入力トランジスタの両方に単一導電率タイプのトランジスタを利用することにより、異なる導電率タイプ間の回路レイアウト設計の必要条件、例えば、N ウェルと N チャンネル・デバイス間の設計規定最小距離等が直列、並列入力トランジスタ間で緩和されるため、セル面積が大幅に減少される。この結果、図 8 に示すように配置されるセルに対してそのセル面積がかなり縮小される（特に、セルの高さにおいて）。更に、NAND ゲート入力として N チャンネル・トランジスタのみを使用することにより、一般に同じ駆動力を得るためには P チャンネル・トランジスタの大きさを N チャンネル・トランジスタ以上にしなければならず、NAND ゲートの入力静電容量が低下し、この結果 NAND ゲート入力で P チャンネル・トランジスタを使う時、さらに静電容量が大きくなる（電力損も）。

同じ導電率 NAND ゲート入力を使用するそのような一つの回路が図 9 に示されている。図 9 において、並列入力トランジスタ 190 と直列入力トランジスタ

191とは全てNチャンネルのトランジスタである。この配置では、直列トランジスタ190が、セルが復号するようプログラムされた復号状態に対応したデータを受け取り、並列トランジスタ191が、セルが復号するようプログラムされた復号状態に対応する補数（相補形）のデータを受け取る。従って、図9に示すように、セルは小さな復号データ、a, b, c, d, e, fに対してプログラムされる。トランジスタ192、193、194は、セルによりどのような静電流も引かれることなく、出力を提供し、補数出力を行うよう作動する。

データ・ビットの入力としてNチャンネルのトランジスタのみを使用する回路が図9Aに示されている。この回路では、復号状態のラッチ型機能を果たすためのデバイス197、197a, 198、198aに結合されたデータ・ビットa, b, c, d, e, f（所望の復号状態が図示されている）を受け取る直列トランジスタが利用される。図9Aの回路では一連の並列トランジスタは必要とされず、

むしろトランジスタ197、197a, 198、198aが完全なNAND／ラッチ機能を果たし、出力206を提供し、補数208を出力する。ノード196aにより、例えばHSYNCに接続されるリセット・ノードが提供される。図9Aに示す回路に代わるものとして、一連の並列トランジスタはそのままに、図9の直列トランジスタを排除して良い。

図9Bでは、NANDゲートのデータ入力トランジスタとして同じ導電率タイプのトランジスタを利用する更に別の回路が示されている。図9Bにおける回路には、直列Nチャンネルのトランジスタ200と並列Nチャンネルのトランジスタ202が組み合わさって設置されている。各直列Nチャンネル・トランジスタ200はa～fのデータ・ビット・ラインにゲートを介して接続され、トランジスタ202はa補数～f補数のデータ・ラインにゲートを介して接続される。このセルはまた、デコーダ・セルが復号するようプログラムされた6ビット数値に応じ、適切な直列Nチャンネル・トランジスタ200のソース及びドレインが、例えば金属ストラップで短絡し、適切な並列Nチャンネル・トランジスタ202を図8Bと8Cに示すようには接続されないバス化ポリシリコン導線を利用しレ

アウト可能である。図 9 や、図 9 A、図 9 B に示すように、これらの実施例で使われるセルでは、同じ N ウェル 204 に適宜配置されるたった 3 個の P チャンネル・デバイスのみ必要とされる。また、これらの回路により、スイッチ 210 が使用する NAND 信号 206 と反転 NAND 信号 208 も提供される。

上記のように、3.3 ボルト以下の低供給電圧で信号駆動回路を操作することが望ましい。しかし、スイッチが 5 ボルトまでのアナログ電圧供給可能とするためには、回路電圧レベルを更に上昇させなければならない。図 9 や、図 9 A、図 9 B に示す回路では、他のどの場所にもレベル・シフト回路を追加する必要なく、デコーダ・セル内に電圧レベルをシフトする便利な方法が提供される。更に、図示のデコーダ・セルにより、ノードをより高い電圧にもたらしことによりレベル

・シフトが可能となる。従って、セル内でも追加のレベル・シフト回路機構が最小化され、セル面積が節約される。図 9 において、レベル・シフトは、ノード 195 においてより高い操作電圧を提供することにより達成可能である。同様に、図 9 A でもノード 196 においてより高い操作電圧が提供される。図 9 B では、デコーダ・セルの出力内に融合される 2 個の P チャンネル・デバイス 214 及び 216 を作動させるためノード 212 においてより高い電圧を提供することにより、レベル・シフトが実行される。これら 2 個の P チャンネル・デバイスはデータ・ラインに接続されないため、スイッチの P チャンネルの半分を含む同じ N ウェルに位置付けされる。図 9 や図 9 A の回路でも同様に行われる。

図 9、図 9 A、図 9 B に示す回路ではレベル・シフトが必要とされないことが分かるであろう。ユーザは、ノード 195、196、212（各図 9、9 A、9 B に図示）に対して標準供給電圧を提供することにより、レベル・シフトを行うことなくこれらの回路を利用できる。これにより、ユーザ選定可能レベル・シフト回路が提供され、ユーザがたった 1 個の供給電圧の使用を望む場合でも、回路はそれでもその機能の実行可能であり、本発明の他の側面も適用可能である。

レベル・シフトに関し、図 9 B を参照しより詳しく説明する。図 9 B の回路は、P チャンネルのトランジスタ 214、216 のノード 212 用の供給電圧（V

$V_{\text{supply-2}}$ が、データ・ビット及び補数データ・ビット・ライン用の供給電圧（例えば、3.3ボルト）より高い電圧（例えば、5ボルト）である場合、レベル・シフト回路として使用可能である。一般的な設計では、回路が状態を変更できるようにNチャンネル・デバイスがPチャンネルのトランジスタを圧倒できるように、弱いプルアップデバイスとなるようその大きさが決定される。並列Nチャンネルのトランジスタ202が全て電源入りとなる時、直列Nチャンネルのトランジスタ200も全てその電源が入りとなり、出力ライン206は低く引かれる。出力ライン206が低く引かれることによりトランジスタ216の電源が入り、次に

出力補数ライン208がノード212で V_{supply2} まで引き上げられ、トランジスタ214の電源が切られる。直列トランジスタ201の電源が切られ、並列トランジスタ202の電源が入り場合はこれと逆である。よって、どちらの状態でも静電流は流れない。

従って、データ・ビット及びその補数は3.3ボルトでの V_{supply1} からのデータであるが、5ボルトの V_{supply2} がノード212に接続されれば、NANDゲート出力と反転NANDゲート出力206、208が5ボルトの出力となる。これにより、およそ5ボルトの高い電圧範囲となるアナログ電圧出力220を供給するため、スイッチ210が動作される。しかし、本発明は、3.3、5ボルトに限定されるわけではなく、他の電圧及びレベル・シフト量が利用され、そのレベル・シフトは上或は下のどちらかとすることが可能である。

図9と図9Bのデコーダ回路は、セルが復号するようプログラムされた1個の独自の復号状態がセルへの入力上にある場合、全ての直列Nチャンネル・デバイスの電源が入り、並列Nチャンネル・デバイスは全てその電源が切られるように機能する。これにより、セルが復号するようプログラムされた独自の復号状態に対応するデータ・ビットが直列トランジスタのゲートに提供され、補数データ・ビットが並列トランジスタ・ゲートに提供される。図9と図9Bに示すように、セルは、状態a, b, c, d, e, fを復号するようプログラムされている。特に図9Bにおいて、復号化セルにより、NAND出力ライン206が引かれてグ

ラウンドされ、NAND出力補数ライン208が5ボルトに上昇され、スイッチ210が入れられる。同様に、セルが復号するようプログラムされた特定の復号状態がセルへの入力上にない場合、1個以上の直列デバイスも電源が切られ、1個以上の並列デバイスの電源が入れられる。これにより、出力ライン206が5ボルトまで引き上げられ、出力補数ライン208がグラウンドされ、スイッチが切られる。

上記のように、図9Bに示す回路は、特定の状態を復号する間にレベル・シフトを達成するため利用可能である。図9Bに示す回路と同じ機能を果たす別の回路が図9Cと図9Dに示されている。図9Cと図9Dに示す回路では、使用するトランジスタ数が図9Bの回路より少なく、同様の物理的空間で実現可能である。

図9Cの回路は、図9Bの並列デコーダ入力トランジスタ202が図9Cでは単一のトランジスタ402に交換されたいる以外、図9Bの回路と同様である。図9Bのトランジスタ200と同様に、図9Cの回路も、データ・ビット・ラインにゲート接続される一連の復号入力トランジスタ400（トランジスタN1～N6）を有する。図示の例では、復号された状態がa, b, c, d, e, fとなるよう、トランジスタ400がa, b, c, d, e, fのデータ・ビット・ラインにゲート接続される。図9Bの回路と同じく、図9Cの回路においても、出力信号406、反転出力信号408、pチャンネル・トランジスタ414及び416、電圧ノード412が含まれる。デコーダ出力のレベル・シフトは、データ・ビット・ライン用の供給電圧（例えば3.3ボルト）より高い電圧（例えば、5ボルト）をノード412に印加することにより影響を受けることがある。図9C。9Dでは図示していないが、信号ライン406と408は、図9Bに示すスイッチ210等のスイッチに接続できる。

図9Cに示す回路はラッチとして動作し、よってその操作は図9Bの回路操作とは若干異なることは理解できれであろう。図9Bの回路は直列トランジスタ200、並列トランジスタ202の両方で同時に復号化を行い、1組のトランジスタ内で同時導電が可能となり、他方組のトランジスタ内では導電不可能となるが

、図9 Cの回路では、直列トランジスタ4 0 0のみでの復号化が行われる。例えば、回路が当初pチャンネルのトランジスタ4 1 4が導電中の状態にある場合、反転出力ノード4 2 0は高く、出力ノード4 2 2は低くなり、直列トランジスタ4 0 0を通る導電はノード4 2 0でプルダウンし、pチャンネルのトランジスタ4 1

4に対して引かれる。一連のnチャンネル・トランジスタ4 0 0にも関わらず、pチャンネルのトランジスタ4 1 4を弱くすることにより、一連のnチャンネル・トランジスタ4 0 0が常にpチャンネル・トランジスタ4 1 4を圧倒しラッチをはじくよう適切な関係が利用できる。次に、ノード4 2 0がグラウンドに落下するに従い、pチャンネル・トランジスタ4 1 6の電源が入り、出力ノード4 2 2が上昇し始める。ノード4 2 2がノード4 1 2での供給電圧に近づくに従い、pチャンネル・トランジスタ4 1 4の電源が切られる。この結果、安定したラッチされた状態が生じる。

図9 cに示す回路はラッチとして動作するため、回路を元の状態にリセットするにはリセット回路機構を追加する必要がある。図9 Dにリセット回路機構4 3 0が示されている。リセット回路機構4 3 0には、例えば、pチャンネル・トランジスタ4 3 2、nチャンネル・トランジスタ4 3 4、リセット・ライン4 3 6が含まれる。他のリセット回路もまた利用できる。トランジスタ4 3 2、4 3 4は、通常の復号化中リセット・ライン4 3 6により高く保持される。各新しいデータ・ワードが復号される前に、図9 Cの回路がトランジスタ4 3 2、4 3 4のゲートを取ることでリセットされる。これにより、トランジスタ4 0 0を復号する正確なデータがデータ・ビット・ライン上にある時でさえ、直列トランジスタ4 0 0を通る電流が中断される。更に、リセット・ラインが低く取られた場合、トランジスタ4 3 2がノード4 2 0をノード4 1 2のプラスのレール電圧に引き戻す。次に、リセット信号が高い状態に戻され、これにより適切なデータ入力なしのデコーダがリセット状態に保持され、適切な入力を受けているデコーダが上記のように直列トランジスタを通り導電されることになる。

図9 Eに示す1実施例では、各デコーダ・セルの一部が共有されるよう、図9

Dの数個の回路がグループ化される。図9 Eに示す回路8つの別個の状態を復号するが、リセット回路機構と直列トランジスタの一部が1個以上のデコーダ・セル

により共有される。従って、より大きな復号セルが8個のより小さい復号セルの組合わせにより作成される。デコーダ回路機構の一部を共有とすることにより、全体的デコーダ回路機構の物理的大きさが減少される。図9 Eでは、6ビット・データ・ワードの8個のデコーダで共有される回路機構を示している。図9 Eにおいて、1個の独自の出力のみ、所定の独自の6ビット・ワード（即ち、全ての状態を復号するのに64個のデコーダが必要とされる所）に対して高くなる。

各デコーダは独自の6ビット・ワードを復号するが、所定ワードのあるビットが他のワード内のビットと同じになるため、デコーダの一部が共有可能となる。図9 Fに示すように、64個の可能なワードのうちある4グループ、例えば、ワード0、1、2、3が同じ最上位ビット（most significant bit: MSB）を持つようになる。よって、この例では、MSBはビットa、b、c、dである（図9 C～9 Fで使われるように、「a」ビットは0となり、「補数a」ビットは1、b、c、d、e、fも同様となる）。これら4個のワードは同じMSBを有するため、ワード0、1、2、3用のデコーダにより共有されるこれらMSB用復号回路機構を有することが可能となる。復号を終えるためには、残り2個の最下位ビット（least significant bit: LSB）、つまりデータ・ビットe及びf、の可能な4種の組合わせが復号されなければならない。ここで示すように、4個のMSBが共有され、2個のLSBが別個に復号されるが、MSB及びLSB数の他の組合わせも利用できる。

再び図9 Eにおいて、図示の回路は、10進数の出力0、1、2、3（MSB=0000）、そして60、61、62、63（MSB=1111）を復号する8個のデコーダを有している。図9 Cと図9 DのトランジスタN1～N6、図9 Eのnチャンネル直列トランジスタN1a、N2a、N3a、N4aとして動作することにより、MSB=0000を有する6ビットの2進ワードの4つのMSBの復号が実行される。同様に、図9 Cと図9 DのトランジスタN1～N6、図9 Eのnチャンネル直列トランジ

スタN1b, N2b, N3b, N4bとして動作することにより、MS=1111を有する6ビット2進ワードの4つのMSBの復号が実行される。これら2個の一部復号はそれぞれ4個のLSBデコーダにより共有され、その各ノード、Xa, XbMを引いてグラウンドする役割を果たす。図9Cと図9Dのリセット・トランジスタと同様のリセット・トランジスタ434a又は434bは、4個のLSBデコーダにも共有される。共有された回路機構は、別の場合各デコーダに必要な余分のトランジスタの必要性を排除することにより更に小さなセルとなる。

LSBの可能な4種の組合わせそれぞれに対して、トランジスタN1a~N4aと関連した残りのLSBが、各可能なLSB状態と関連した2個のトランジスタN6a, N7aを通して復号される。同様に、トランジスタN6a, N7aにより、トランジスタN1b~N4bに関連した復号を完了させる。

上記のように、図9Eに示す回路は、回路機構の一部を共有する8個のデコーダを通して8個の6ビット・ワードを復号する。別個のLSBに加えて、図9Eの回路は、共有されない追加の回路機構450を有しており、よって図9Eに示す例では、8個の繰り返し回路（各復号されたワードに一つ）より構成される。各デコーダに対して繰り返されるが、追加の回路機構は、1個のデコーダ、つまりデコーダ63を参照に説明される。図9Dに示す回路のように、図9Eのデコーダ63にも、nチャンネル・トランジスタ402、出力信号406、反転出力信号408、pチャンネル・トランジスタ414及び416、そして電圧ノード412が含まれる。更に、リセット・トランジスタ432も各デコーダに関連している。これらのトランジスタは、図9Cと図9Dを参照し上記した動作と同様に動作する。

リセット・トランジスタ434a, 434bは、図9Dに示す各連の最初よりもむしろ一連の直列nチャンネル・トランジスタ（それぞれN1a~N6a, N1b, N6b）内に位置決めされる。しかし、ラッチ、リセットの操作は、図9

Dに示すように回路の一部が共有される以外上記と同様である。

図9Bに示す回路用のセルのレイアウトが図10に示されている。図10では

、複数の直列Nチャンネル・トランジスタ200のためにNチャンネル領域230が提供され、複数の並列Nチャンネル・トランジスタ202のためにNチャンネル領域232が提供される。図8と図8Cのセルと同様に、図10においてデータ・ビットと反転データ・ビットがポリシリコン製バス234を通して各セル内に伝送される。ここでも、本発明は、図示のバス234内において特定のデータ・ビット順序に限定されるわけではない。

図10に示すセルのプログラミングは、図8や、図8A、図8B、図8Cを参照し説明したプログラミング方法と同じように達成される。従って、セルが復号するためにプログラムされた特定の6ビット数値に応じ、一連のNチャンネルの直列トランジスタ内で所望でないトランジスタのソースとドレインを短絡させるため金属ストラップが提供される。例えば、図10Aに示すように、データ・ビットa、b補数、c、d、e補数、f補数に対応するトランジスタのみグラウンド242とNAND出力信号244間に設置されるよう、金属ストラップ238、ソース・ドレイン・コンタクト240が提供される。

同様に、Nチャンネル領域232内の適切な並列Nチャンネル・トランジスタが、セルが復号するようプログラムされた独自の復号状態に対応する6ビット数値の反転を復号するようプログラムされる。従って、適切なトランジスタがグラウンド・ライン246とNAND反転出力248間で平行に接続されるようプログラムされ、残りのトランジスタは、グラウンド・ライン246或はNAND反転出力248に短絡される。例えば、図10に示すように、セルが状態a、b補数、c、d、e、fを復号するようプログラムされているため、データ・ビットa、補数b、c、d、e補数、f補数に対応するトランジスタが平行に接続される。この並列トランジスタのプログラミングは、適切なソース・ドレイン・コン

タクトをグラウンド・ライン246とNAND反転出力ライン248に沿って配置することにより実行可能である。ライン246、248は金属製が望ましい。よって、図10に示すように、データ・ラインa補数、b、c補数、d補数、e、fに対応するトランジスタを平行に接続するためにコンタクト250が使用され、一方で残りのトランジスタ200は、ライン246又は248のどちらかに

ショートされる。

セル面積を節約するために、Pチャンネルのプルアップ・トランジスタ214及び216、そしてスイッチ210内のPチャンネルのトランジスタ全てがNウェル(N-well)204内に設置される。スイッチ210の出力は、出力ライン260である。出力ライン260は、LCD列に提供されるアナログ出力である。

図9Bに示す回路の半導体セルのレイアウトの実施例が、更に詳細に図11～13に示されている。図11～13において、セル・レイアウトの様々な層が連続的に示されている。図11では、ブロック300がNウェル領域(N-well region)を表している。領域302は、作動領域(Nウェル内のP型ソース／ドレイン、Nウェル領域外のN型ソース／ドレイン)を表す。ポリシリコンは、影付き領域304により表される。データが6本のポリシリコンのデータ・ライン、DS0～DS5、6本のポリシリコン補数(相補形)データ・ライン、DS0B～DS5B(「B」は補数データ・ビットを表す)を介し伝送される。作動領域302aは、直列Nチャンネル・トランジスタが形成される領域を表し、作動領域302bが、並列Nチャンネル・トランジスタが形成される領域を表す。

図12は図11と同じレイアウトを示すが、コンタクト310(四角部)と金属の1本ライン(斜行平行線陰影部)が追加されている。コンタクト層と金属層はセルをプログラムするのに使用できる。特定復号状態のプログラミングをより明瞭に示すために、プログラミング用コンタクトと金属は両方とも、310a、310b、310c等、また312a、312b、312c等の符号を付けセル

内そしてセル上に示されている。セル上に示されるコンタクト及び金属ストラップはセル内に含有され、図では単に例証目的でセル上に示されていることが理解できるであろう。図示のように、セルはデータ状態DS0B、DS1、DS2、DS3B、DS4B、DS5Bを復号するようプログラムされる。例えば、金属ストラップ312Aが直列トランジスタDS0をショートし、金属ストラップ312bが直列トランジスタDS1Bをショートする。更に、コンタクト310a、310bが、グラウンド312fと V_{DD} 312g間で並列トランジスタDS0を平行に接続する。同様に、コンタクト310c、310dが並列トランジス

タDS1をグラウンド312fにショートする。同じようにして、残りのプログラミングも図より見ることができる。Vinもまた、導線312h（例えば、図3C、3Dの導線38）を通してセル内に伝送される。Nチャンネルのスイッチ・トランジスタ320、Pチャンネルのスイッチ・トランジスタ322、2個のPチャンネルのプルアップ・トランジスタ324、326も提供される。

図13は図12と同様であるが、バイアと金属2層が重畳される。従って、金属2グラウンド・ライン312、V_{DD}ライン314、アナログ出力ライン316、318の配置が示される。出力ライン316と318は、セル列の1端部の終わり等セルの外側でお互い接続される。

図9Eに示す回路レイアウトの実施例が図14に示されている。図14に示すセルには8個のデコーダが含まれ、よって8つの状態が復号される。64個の全部の状態を復号するには、図14に示すセルと同じ8個のセルが利用される。そのレイアウトは、多くの信号が突き合わされた各隣接セルに接続できるため、便利なセルの積層が可能となるよう実施される。しかし、他の配置も可能である。図14では、ポリシリコン・パターン530、金属パターン532、P+作動領域534、N+作動領域536の全てが示されている。

図14に示すように、MSBデータとその反転（この場合、2組の4個のMSB、a、b、c、dとa補数、b補数、c補数、d補数）が、金属ライン500内の全セルを通して伝送される。従って、金属ライン500は、どのような特定のセル上、及び／又はその下に8個のセルの積層を形成する全ての隣接セルを通ることになる。共有MSBデコーダのゲートに何等かのデータ・ビット或はその補数が必要な場合、ポリシリコン・ライン502が適当な金属ラインに接続される。図14において、ポリシリコン・ライン502は従って、2組の選択MSBがa、b、c、d、及びa補数、b補数、c補数、d補数となるよう金属ライン500に接する。残りのMSBの組み合わせは、同様に適当な金属データ・ラインにポリシリコンのゲート・ラインを接触させることにより、積層内の他7個のセルで選択される。次に、ポリシリコン・ライン502が作動領域504を横切り、MSBを復号するために使用される直列トランジスタN1a～N4a、N1b

～N 4 b を作成する。

L B S とその反転は、ポリシリコン・ライン 5 1 0 によりセル積層の全てのデコーダ・セル（ここでの説明では 8 個）に伝送される。従って、図 1 4 に示すように、データ e、e 補数、f、そして f 補数データがポリシリコン・ライン 5 1 0 により伝送される。ポリシリコン・ライン 5 1 0 が横切って L S B の復号トランジスタ N 6 a ～ N 7 a、N 6 b ～ N 7 b を形成するため、8 つの作動領域 5 1 2 ～ 5 1 9 が提供される。ポリシリコン・ライン 5 1 0 が作動領域を横切り、L S B の復号機能に必要なでないトランジスタを形成する場合もある。必要とされないトランジスタは、その不必要なトランジスタのソースとドレインをショートする金属ラインによりショートすることができる。例えば、f、f 補数、データ・ビット・ライン e を有するゲートを持つトランジスタが作動領域 5 1 2 に形成される。しかし、所望の直列トランジスタ N 6 b、N 7 b は、e、f のみを復号するだけである。よって、作動領域 5 1 2 では、f 補数データ・ビット・ラインのどちらか一方側上のソースとドレインが金属によりショートされる。同様に、作

動領域 5 1 3 では、所望の直列トランジスタ N 6 a、N 7 b が f 補数と e 補数のみを復号するだけである。従って、e データ・ビット・ラインのどちらか一方側上のソースとドレインが、作動領域 5 1 3 の金属によりショートされる。残りの作動領域 5 1 4 ～ 5 1 9 も同様にプログラムされる。

リセット・ライン 5 2 2 もまたポリシリコン内の各セルを通され、リセット・トランジスタ 4 3 4 a、4 3 4 b のゲートを形成する。各セルは追加の回路機構 4 5 0 も有している。追加の回路機構には、各復号されたワードのため、図 9 E に示すようなリセット・トランジスタ 4 3 2、p チャンネル・トランジスタ 4 1 4 と 4 1 6、電圧ノード 4 1 2、n チャンネル・トランジスタ 4 0 2 などが含まれる。この回路機構レイアウトの 1 実施例が図 1 4 に示されているが、他の実施形態でも良い。図 1 4 に示すように、追加の回路機構 4 5 0 には、グラウンド・ライン 5 3 8、電源ライン 5 4 0、リセット・ライン 5 4 2 も含まれている。

以上、本発明の詳細を記載したが、当業者であれば分かるように、本発明の更なる修正、別の実施例が可能である。例えば、ここで記載した N チャンネル、P

チャンネルのデバイスは、一般に好んで使用されるデバイスタイプである。一方、概念的には、Nチャンネルのトランジスタ全てがPチャンネルのトランジスタと入れ替わり、またPチャンネルのトランジスタ全てがNチャンネルのトランジスタと入れ替えられても、本発明の回路機構は動作可能である。従って、本説明は単に例証となるものであり、当業者に本発明の実施方法を教示するのがその目的である。ここで記載した本発明の形態は、現時点で好適な実施例である。構成要素、或はデバイスの形、大きさ、配置並びに形態において、様々な変更が可能である。例えば、ここで例証し、記載した要素、材料には他の代替物が使用可能であり、また全て当業者に理解されるように、本発明の説明の利益を得たのちに、本発明のある特徴を、本発明の他の特徴から独立して用いうる。

【図1】

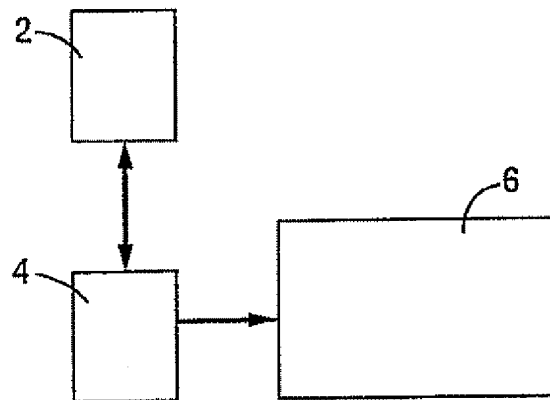


FIG. 1

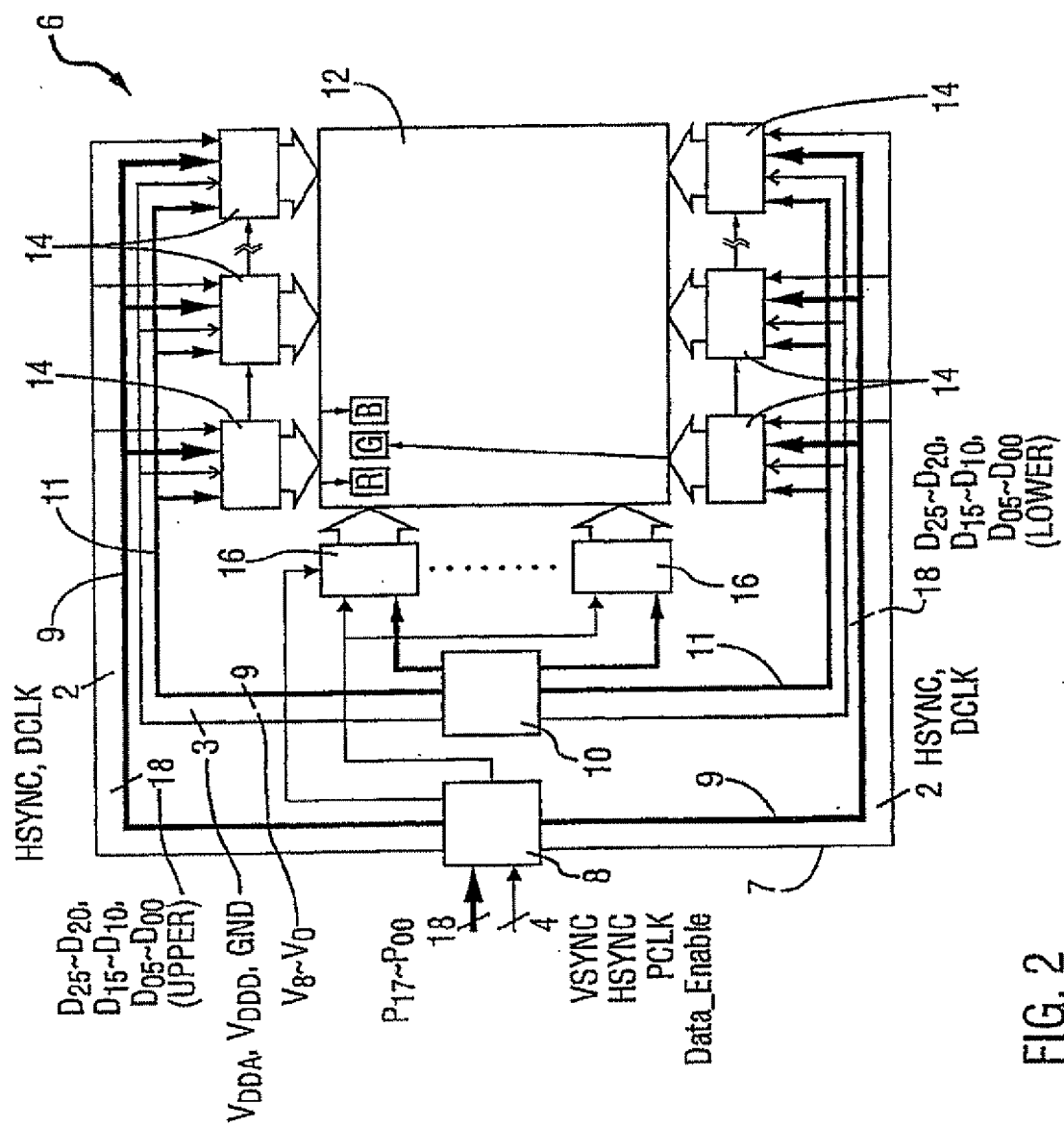


FIG. 2

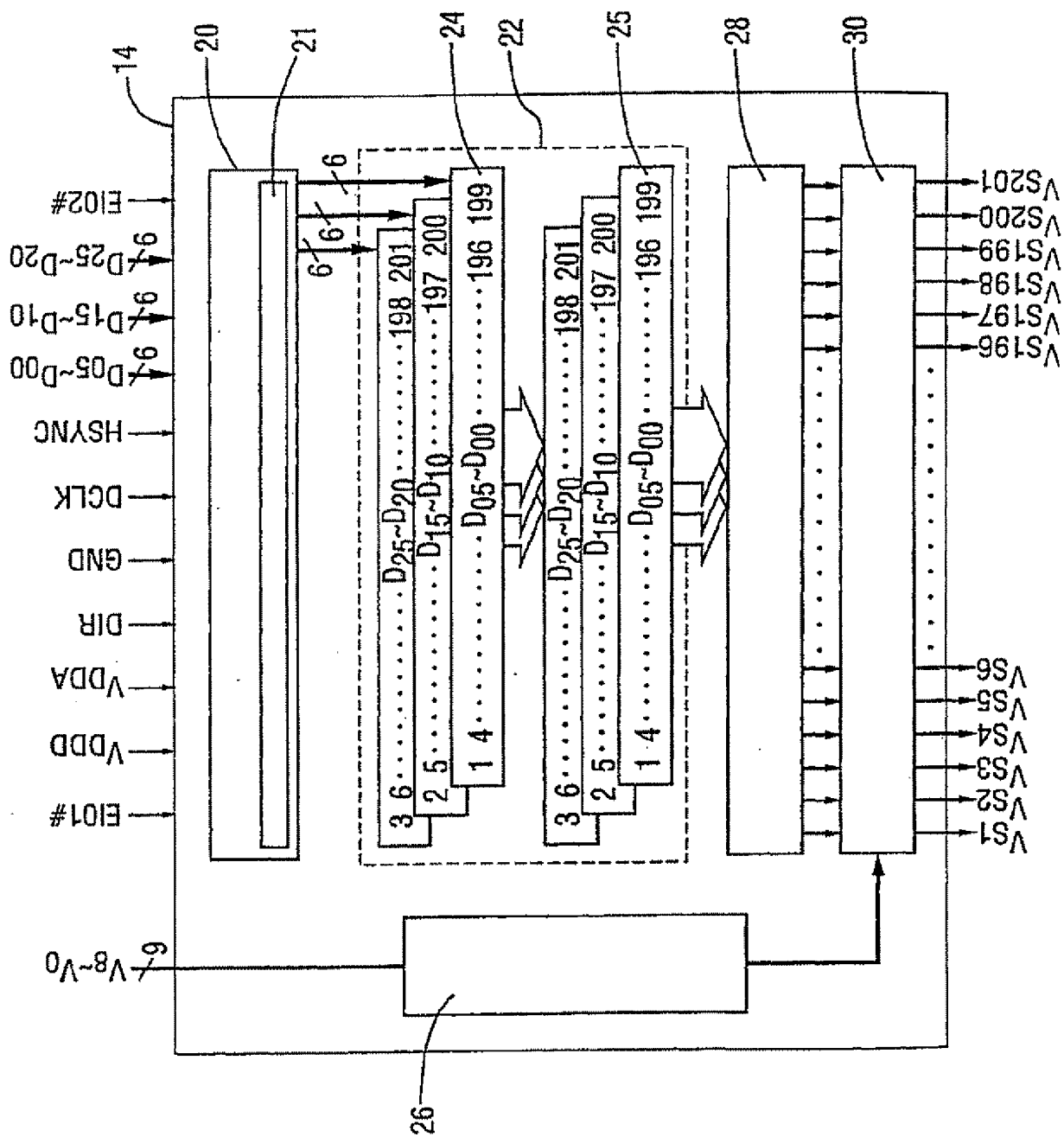


FIG. 3

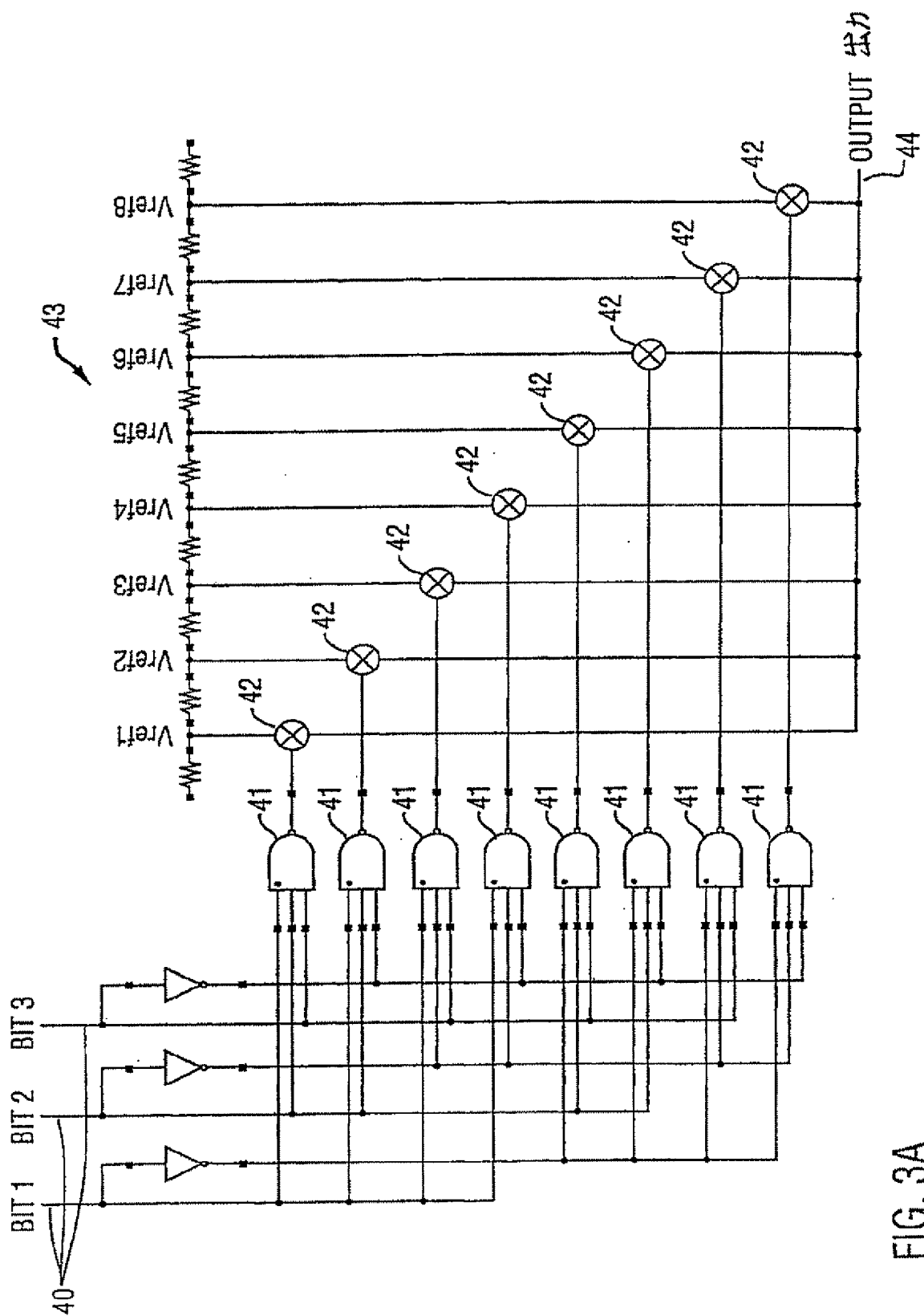


FIG. 3A

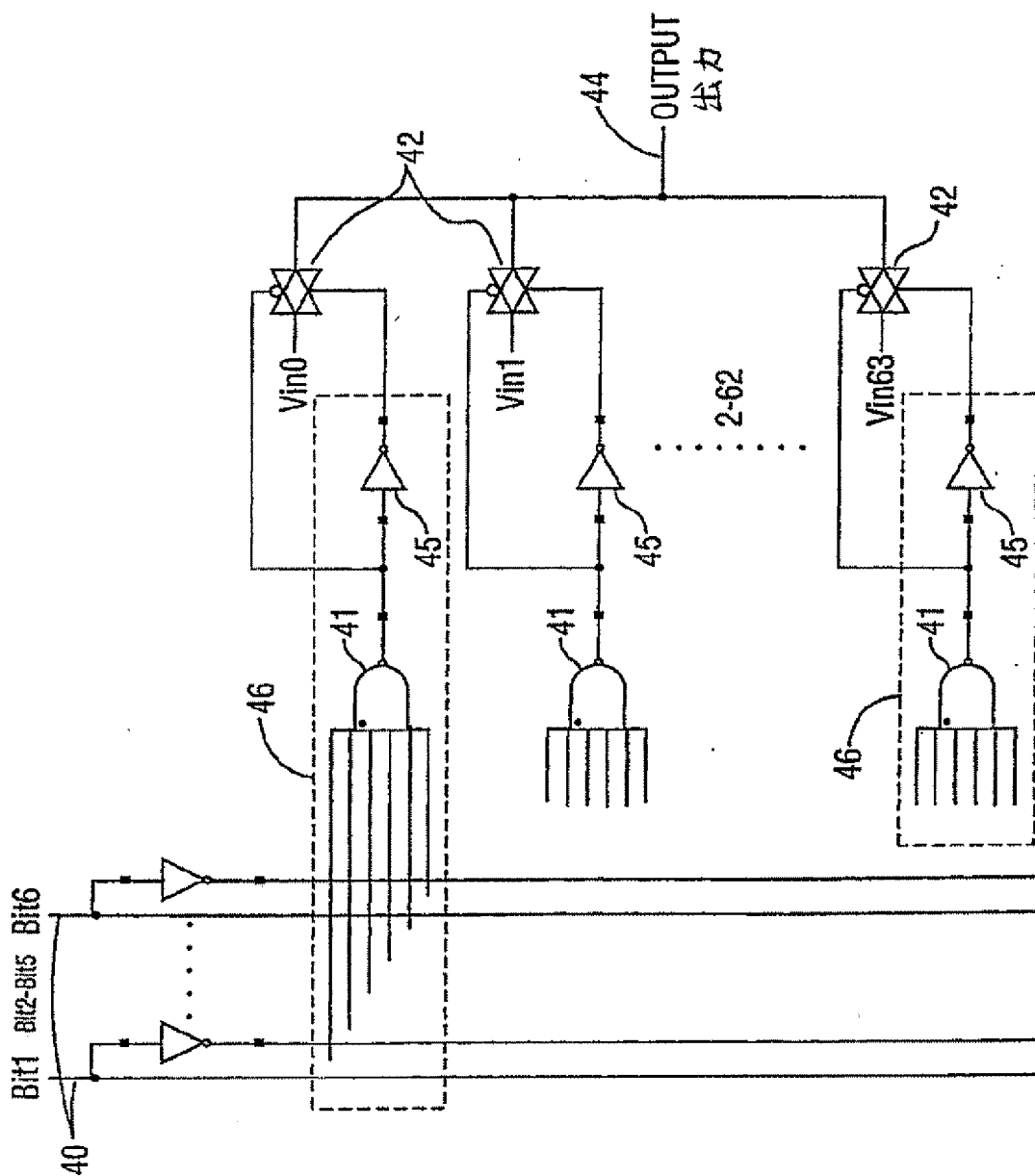


FIG. 3B

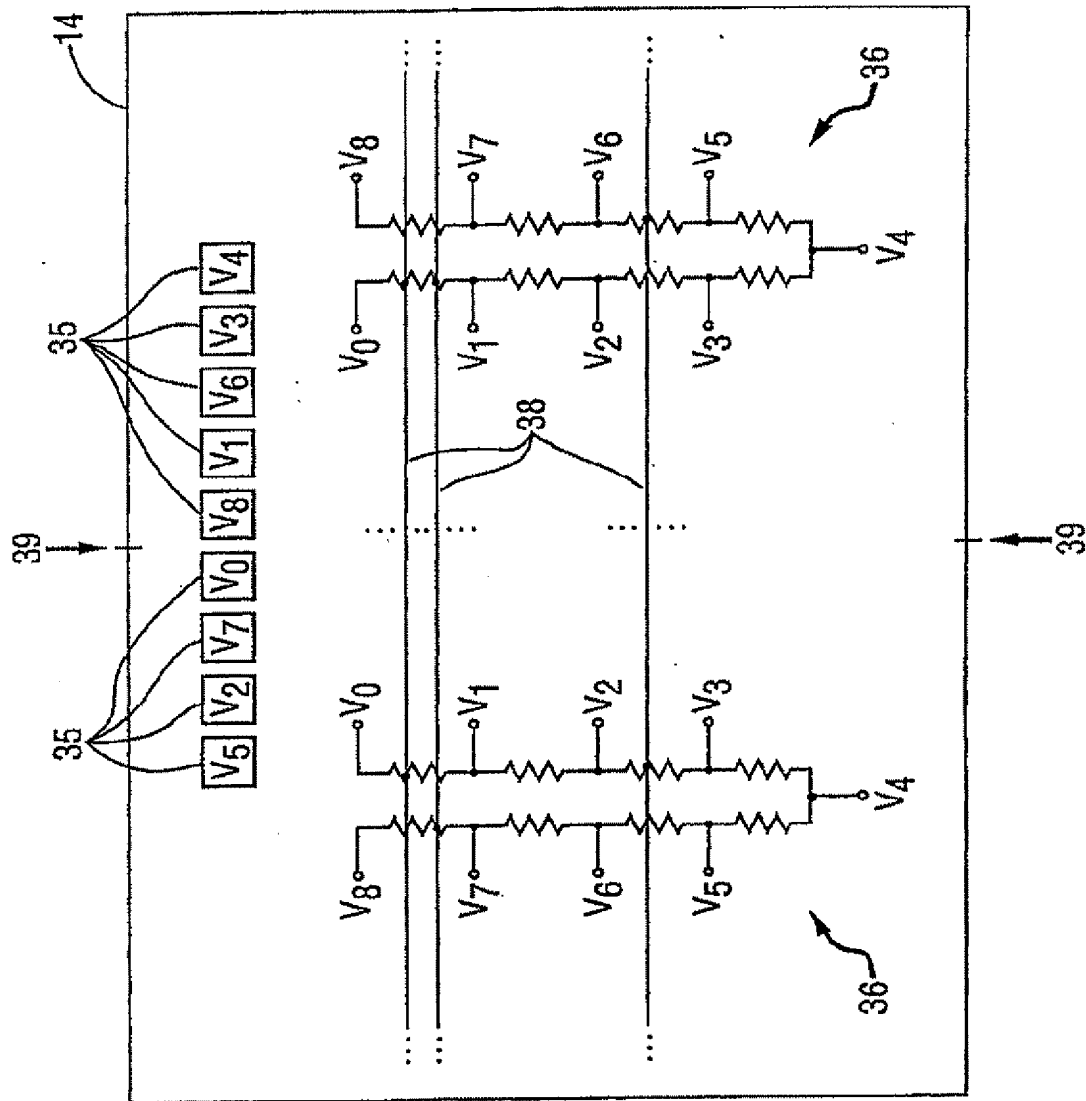


FIG. 3C

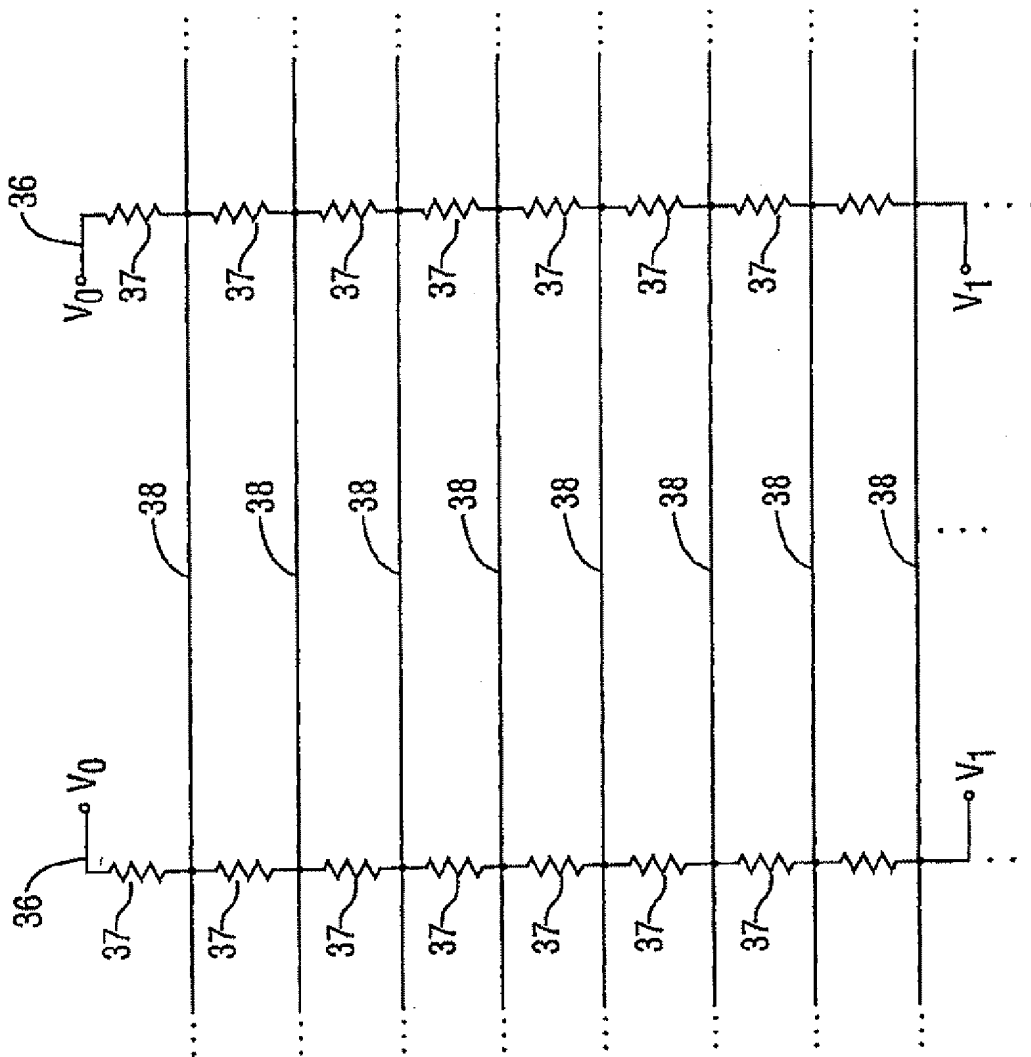


FIG. 3D

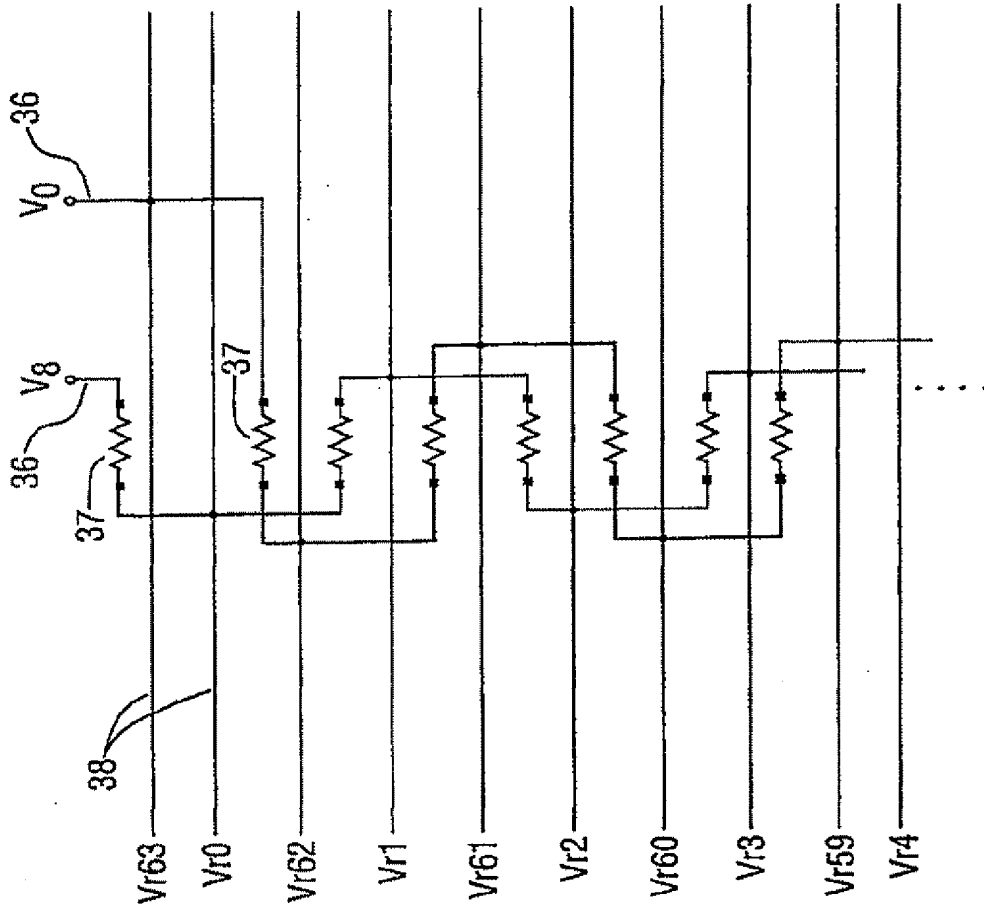


FIG. 3E

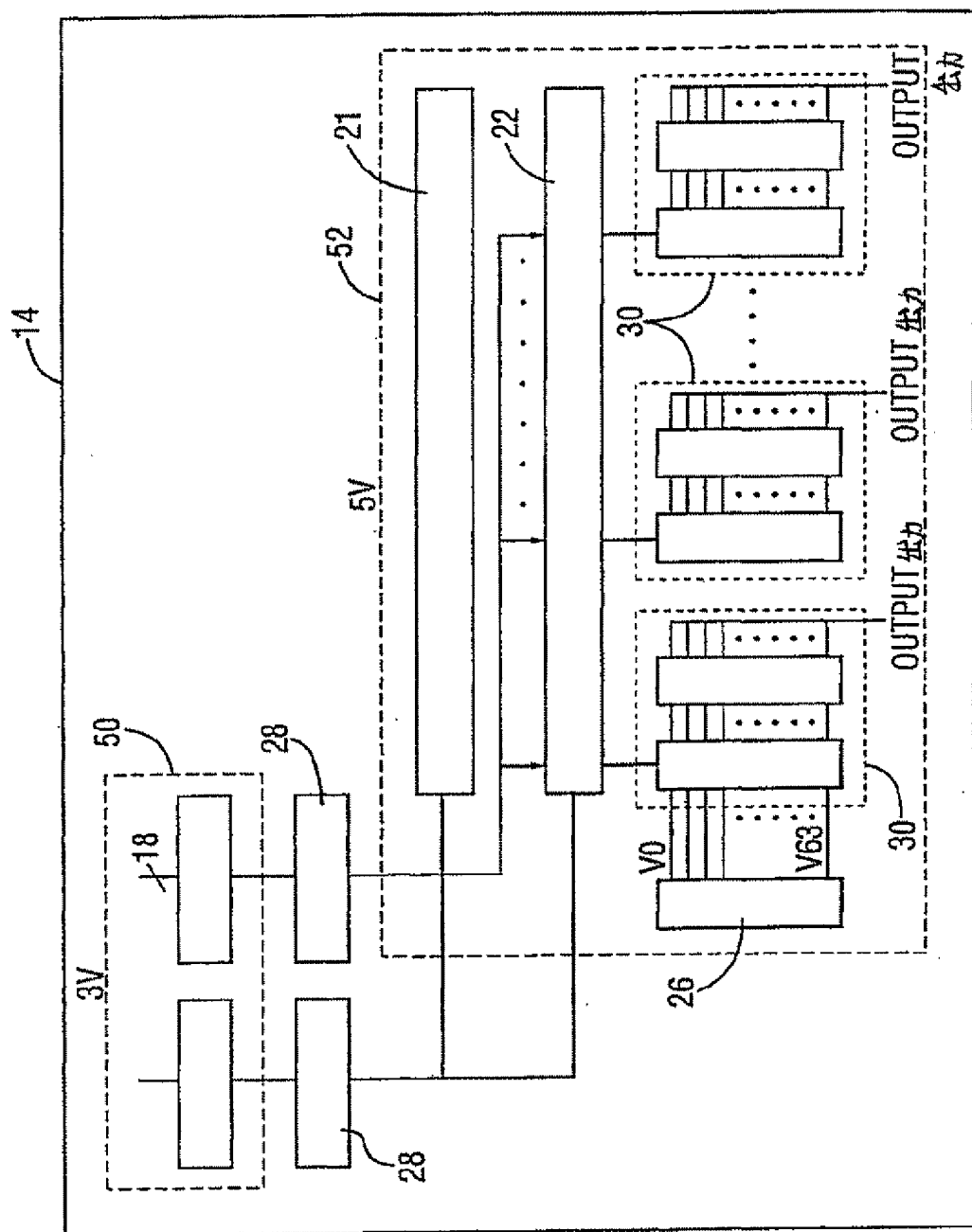


FIG. 4

【図 5】

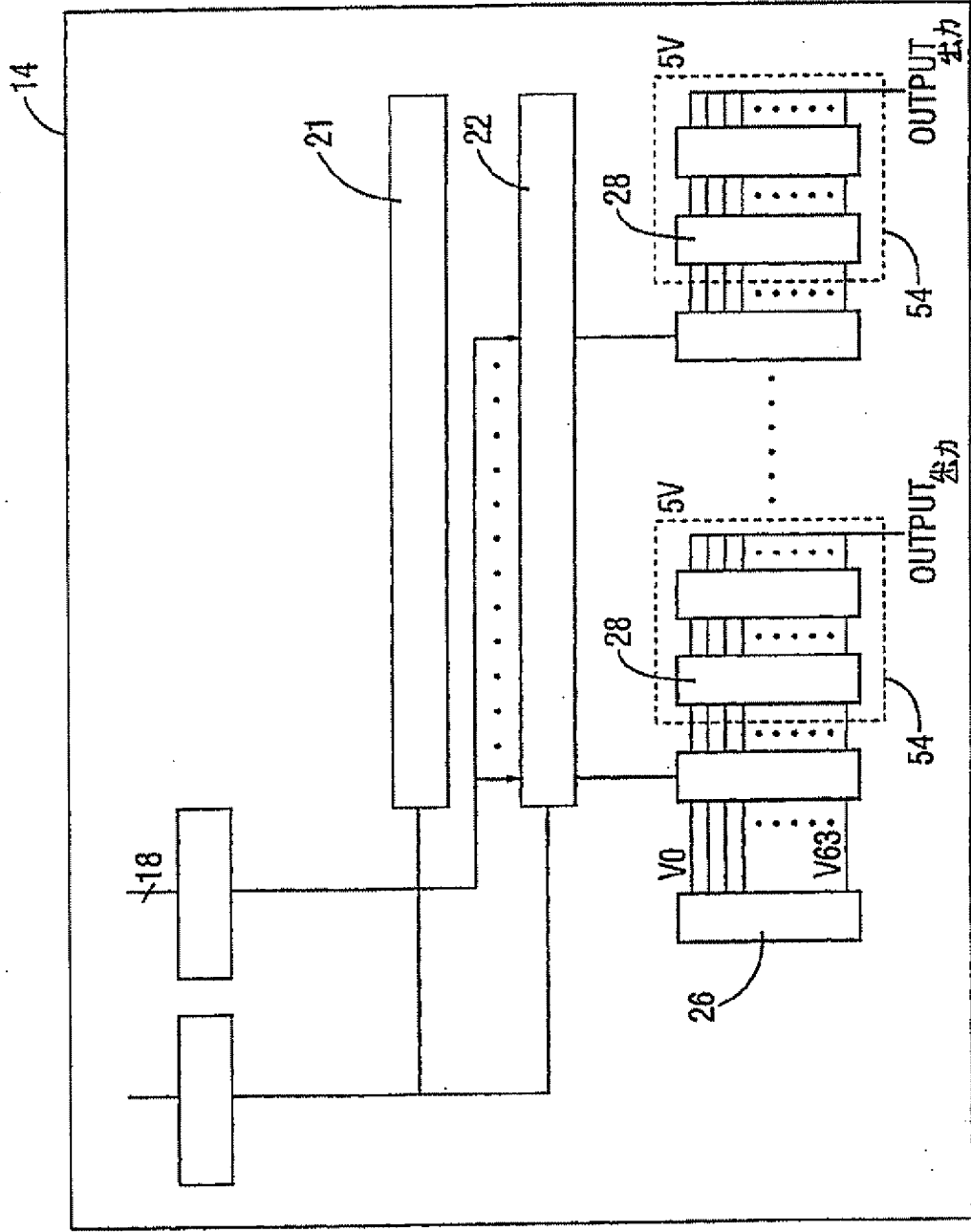


FIG. 5

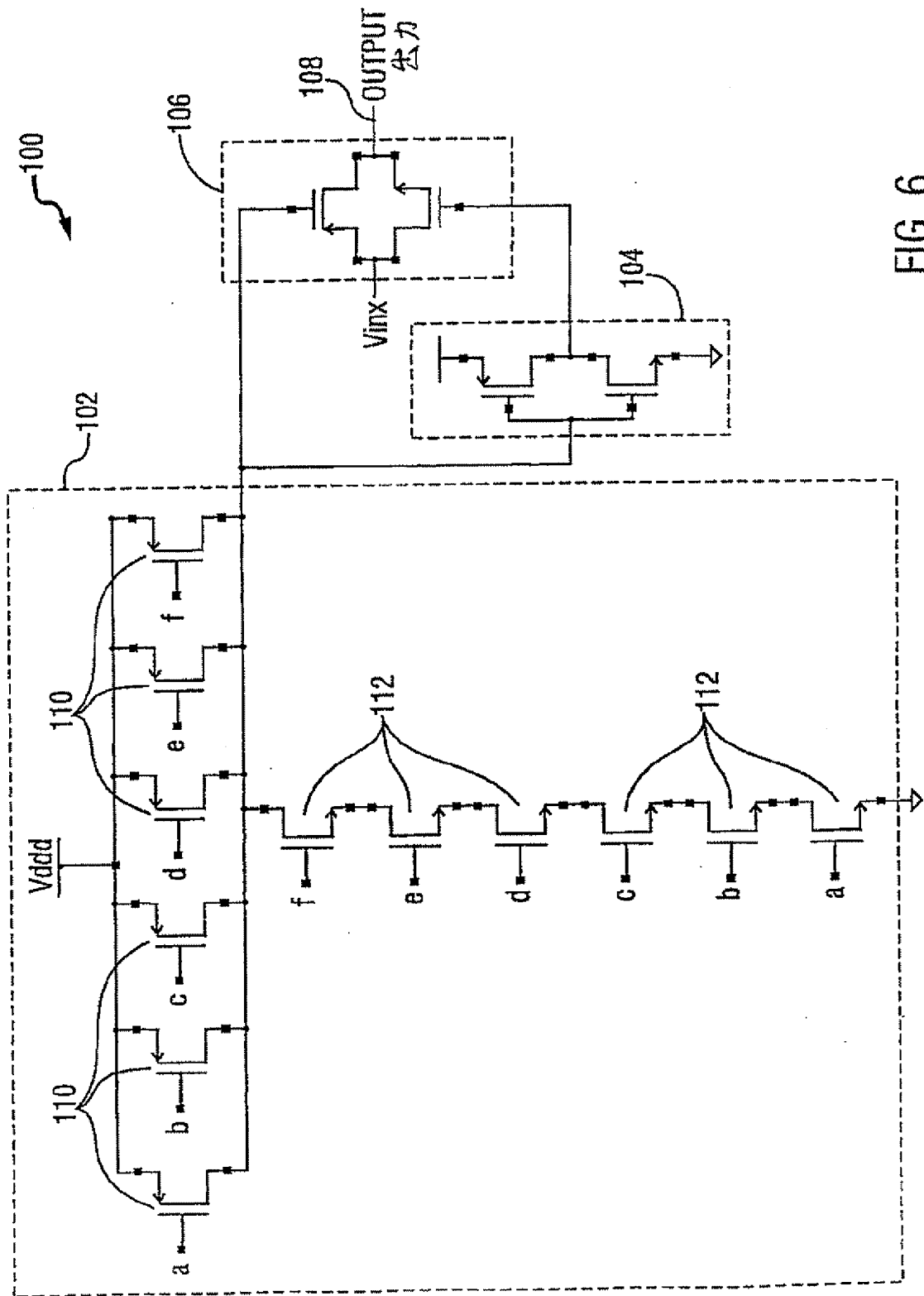


FIG. 6

【図 7】

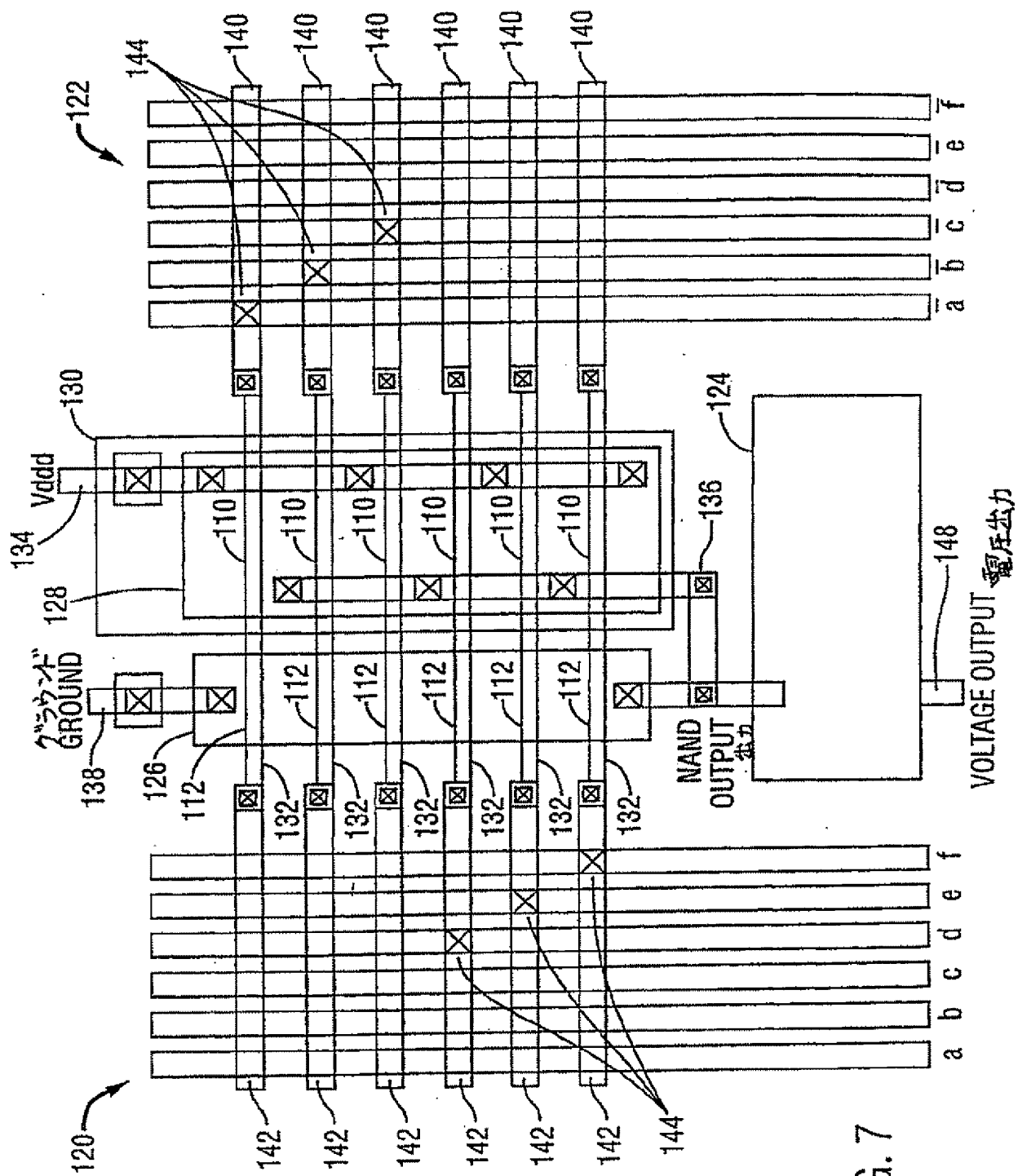


FIG. 7

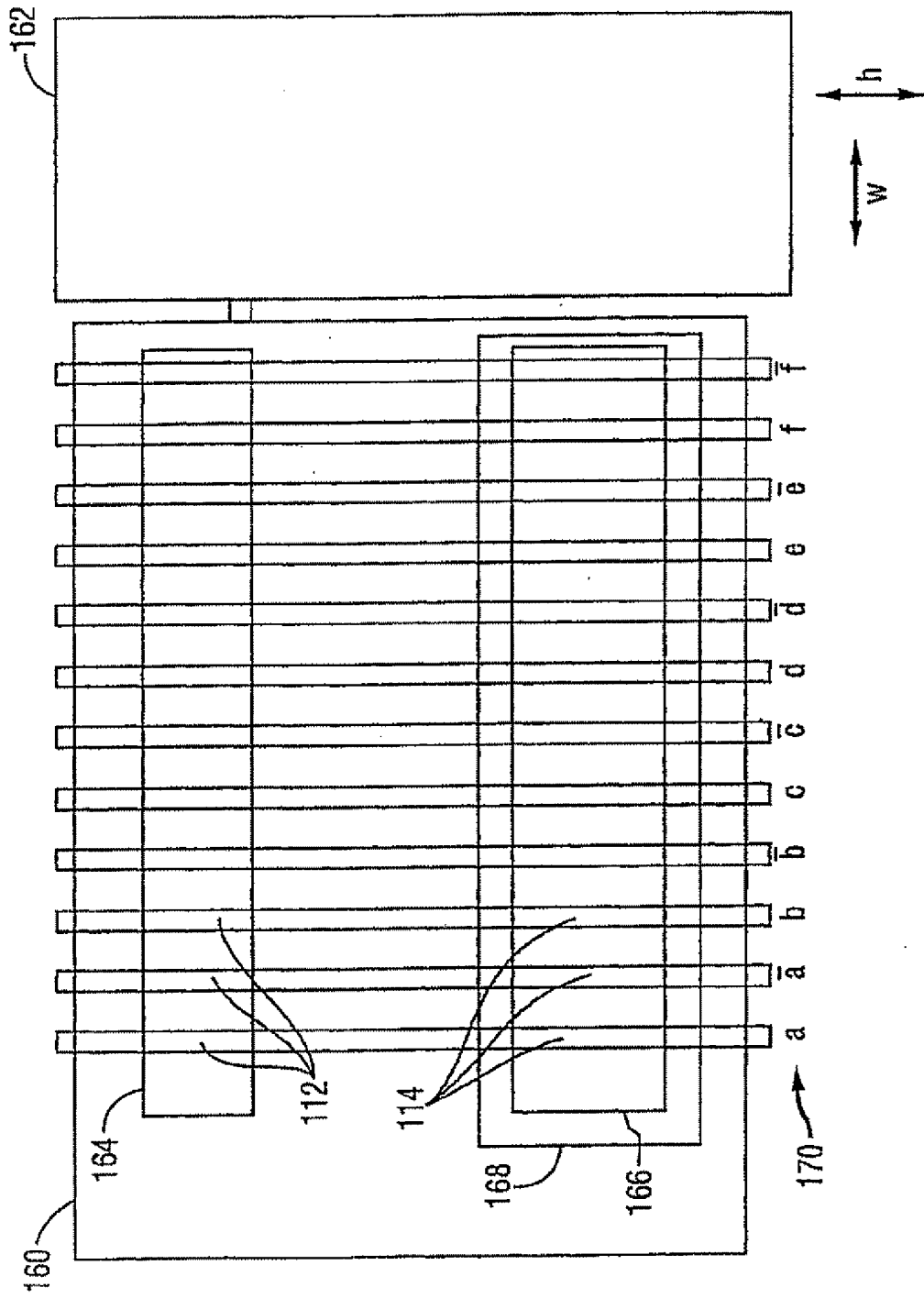


FIG. 8

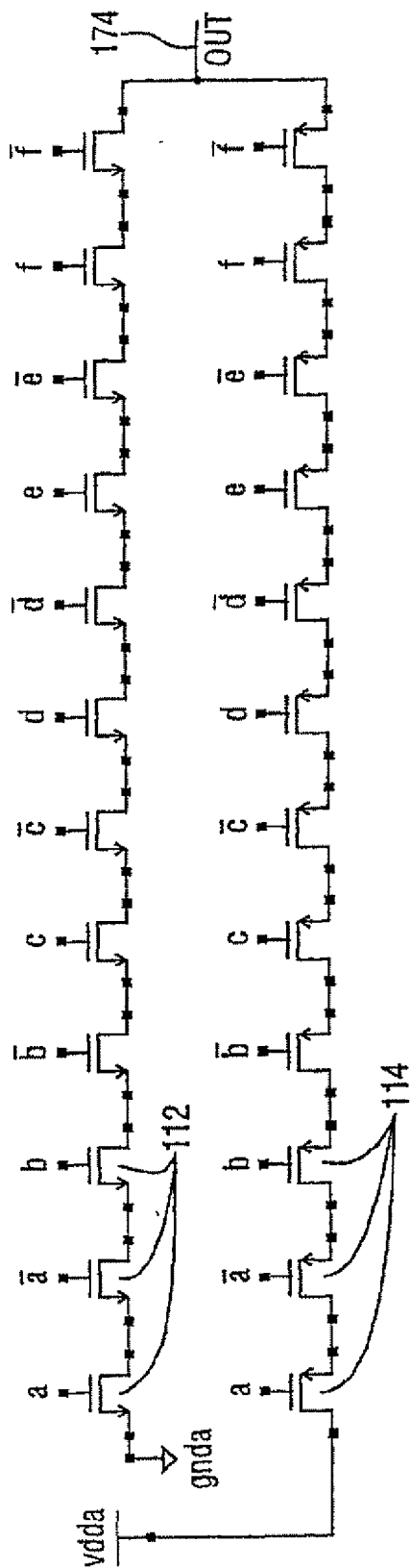


FIG. 8A

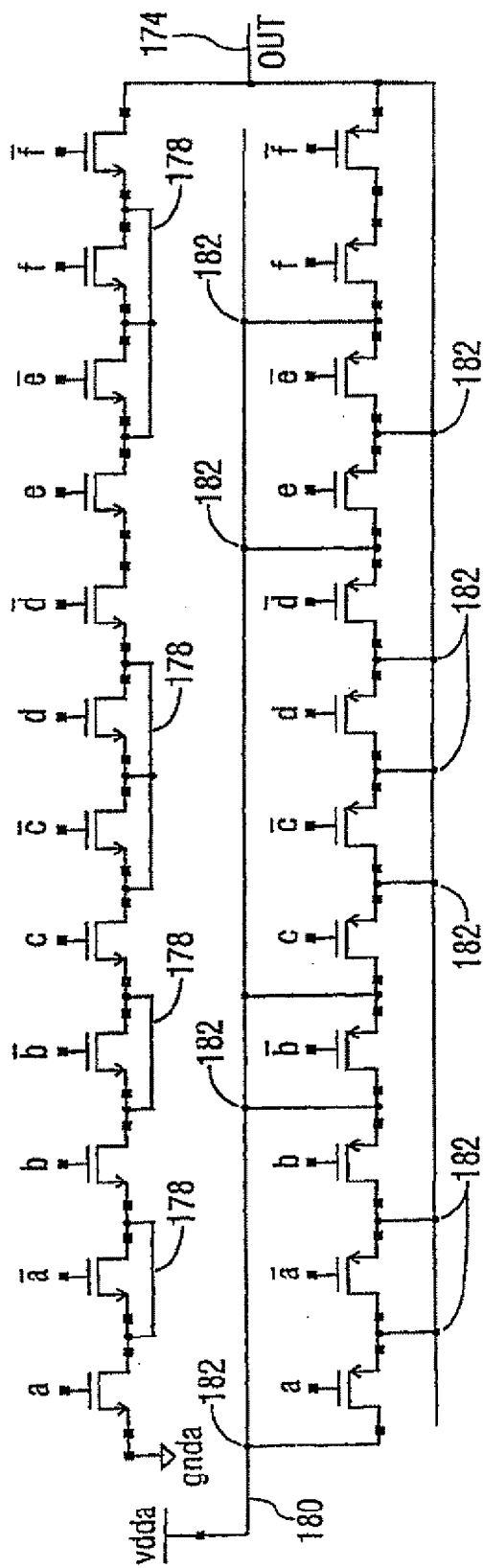


FIG. 8B

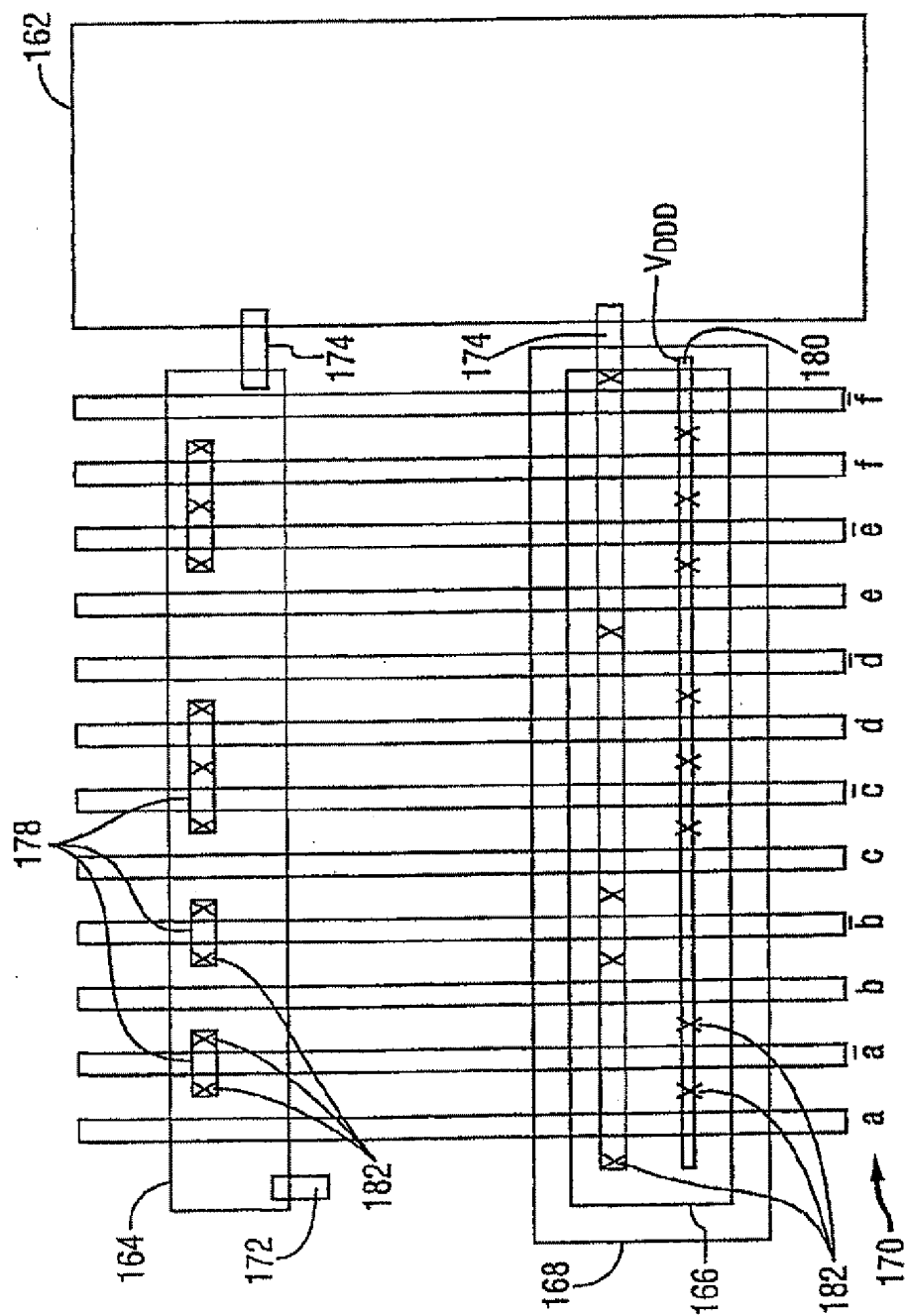


FIG. 8C

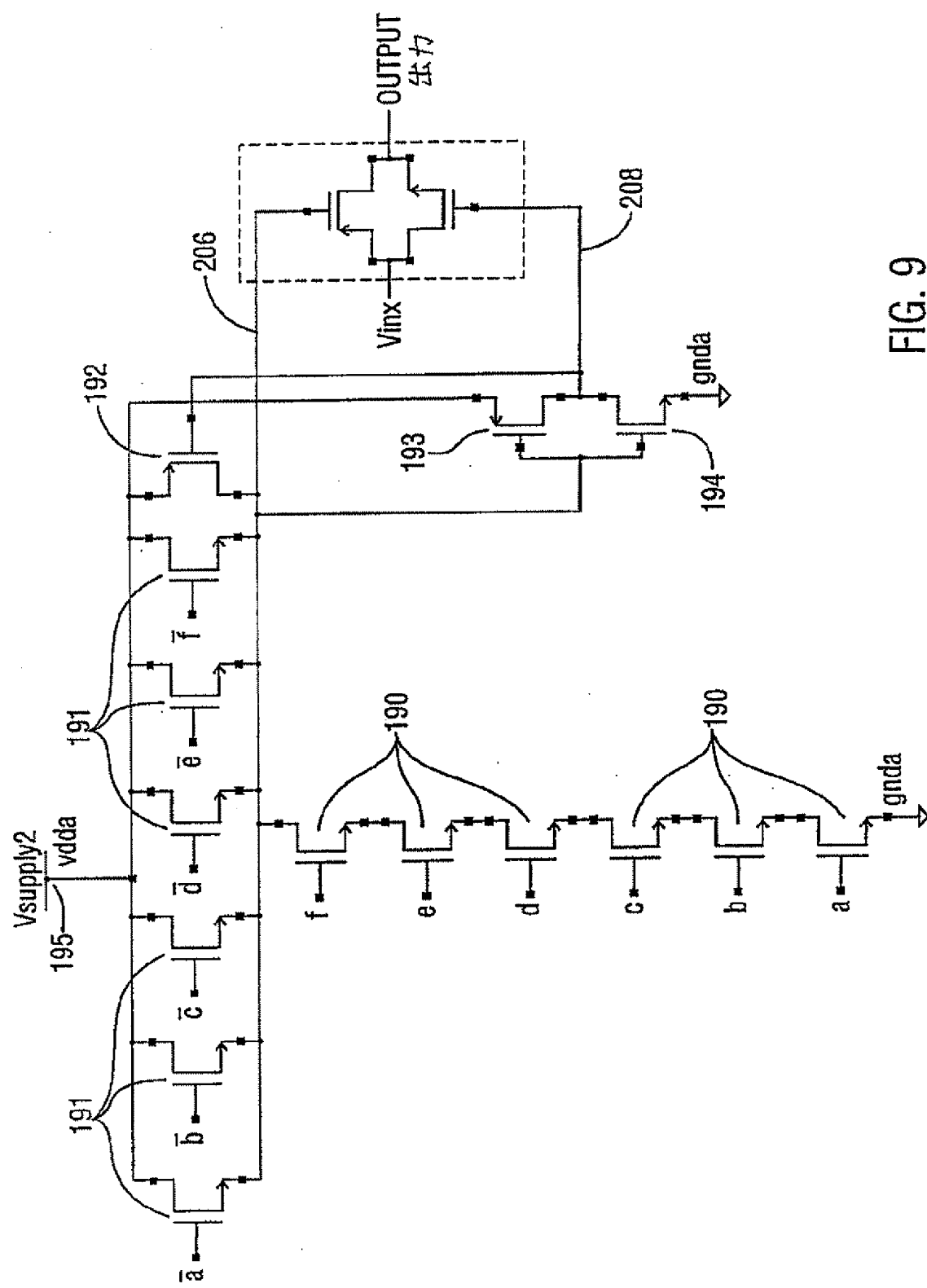


FIG. 9

[illegible]

FIG. 9A

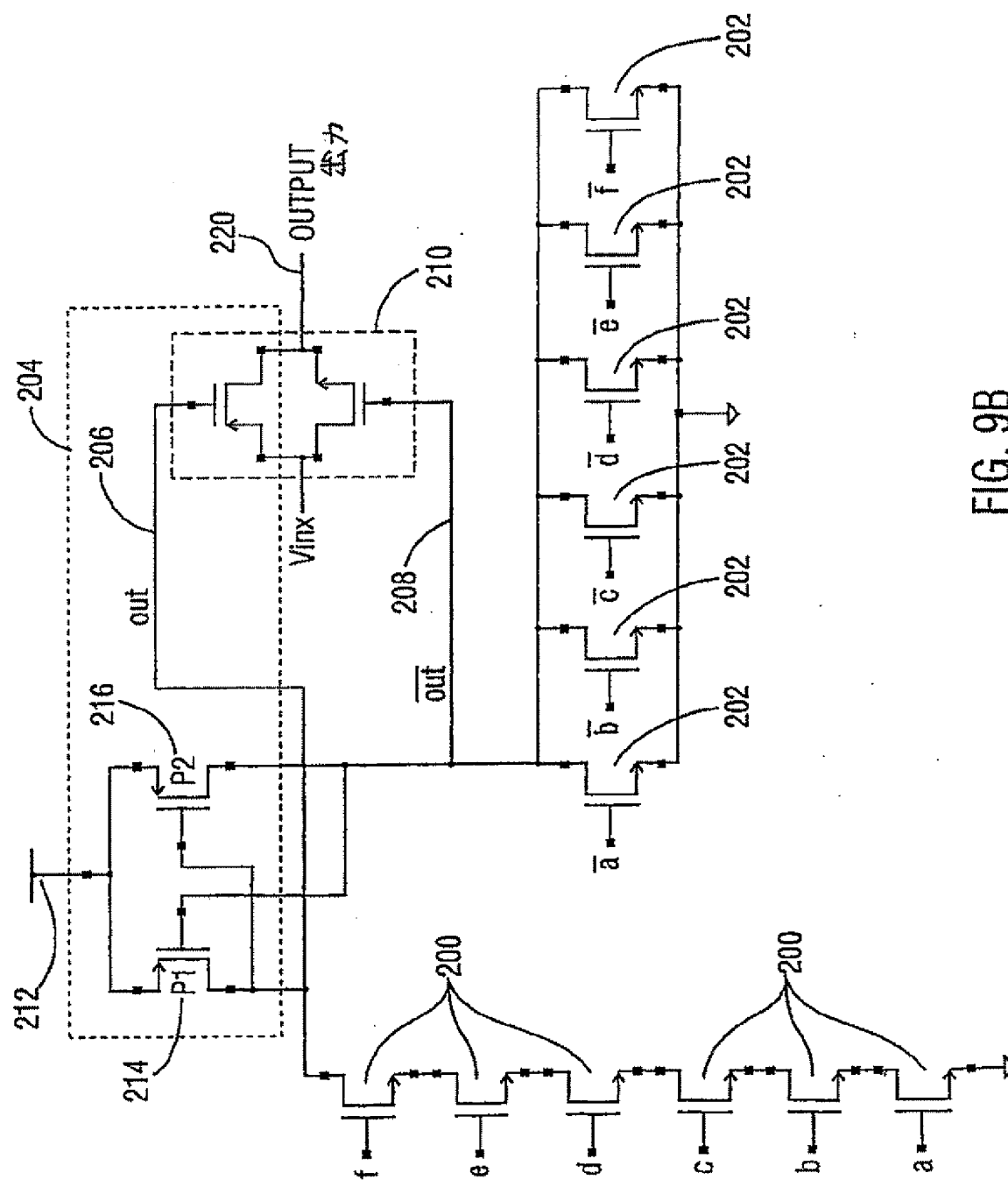


FIG. 9B

【义 9】

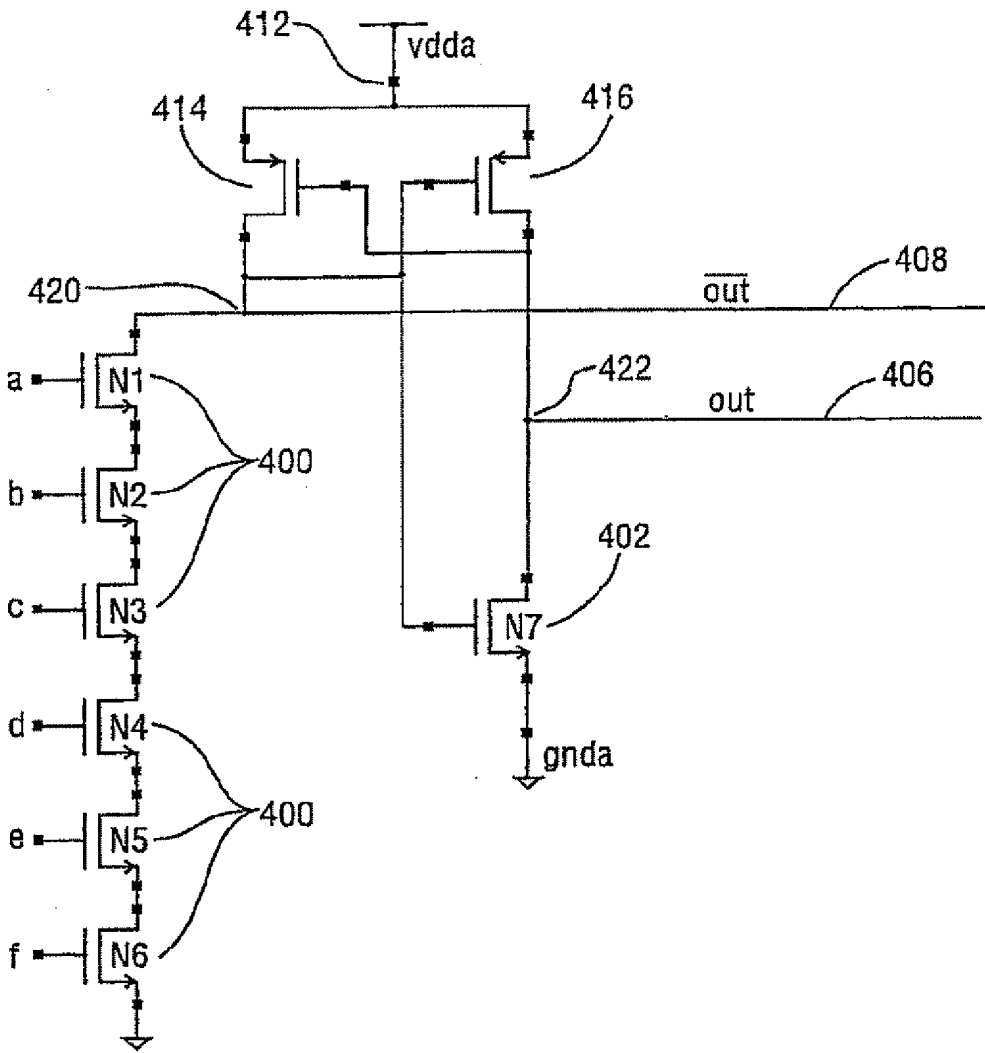


FIG. 9C

【図 9】

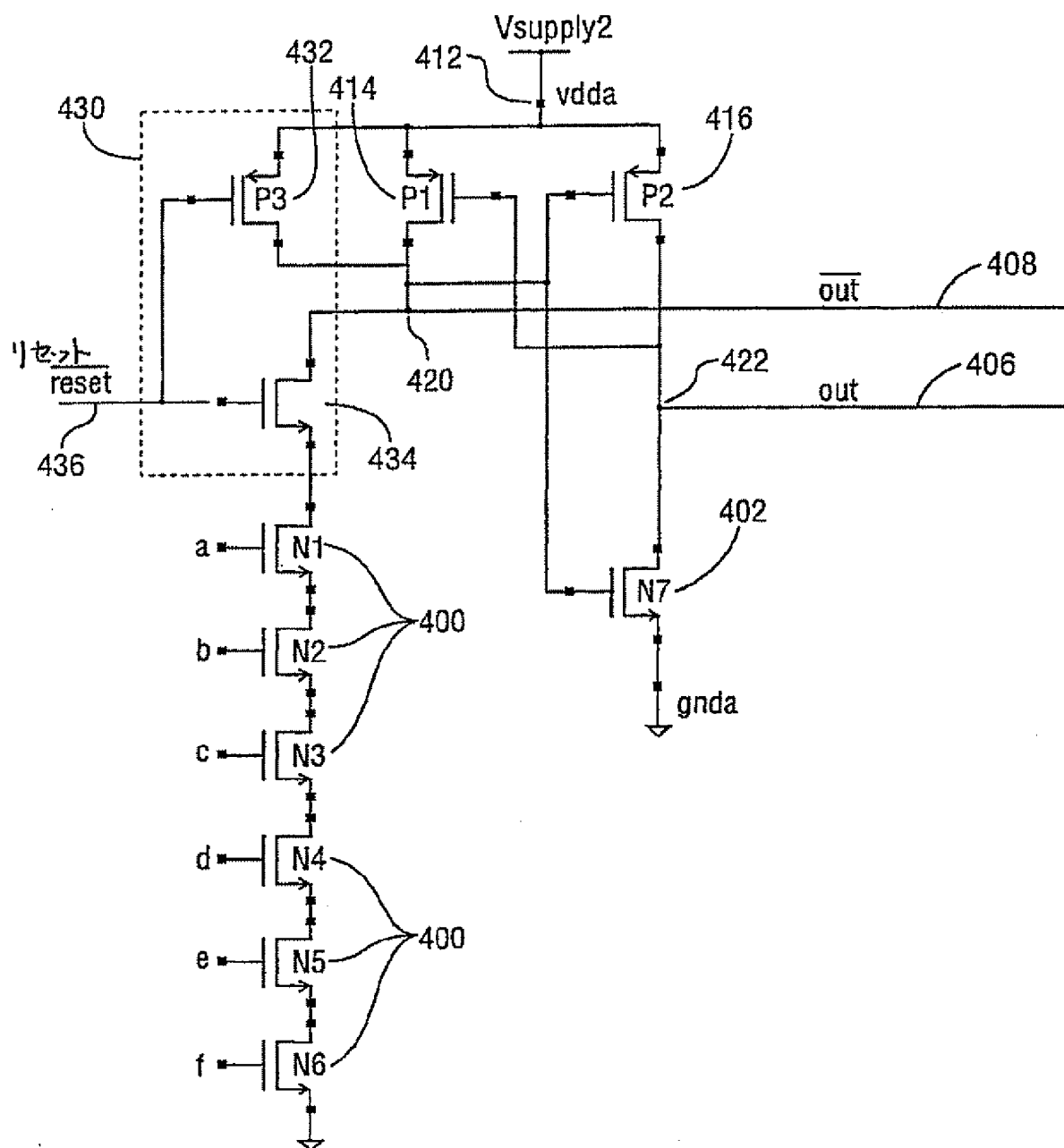


FIG. 9D

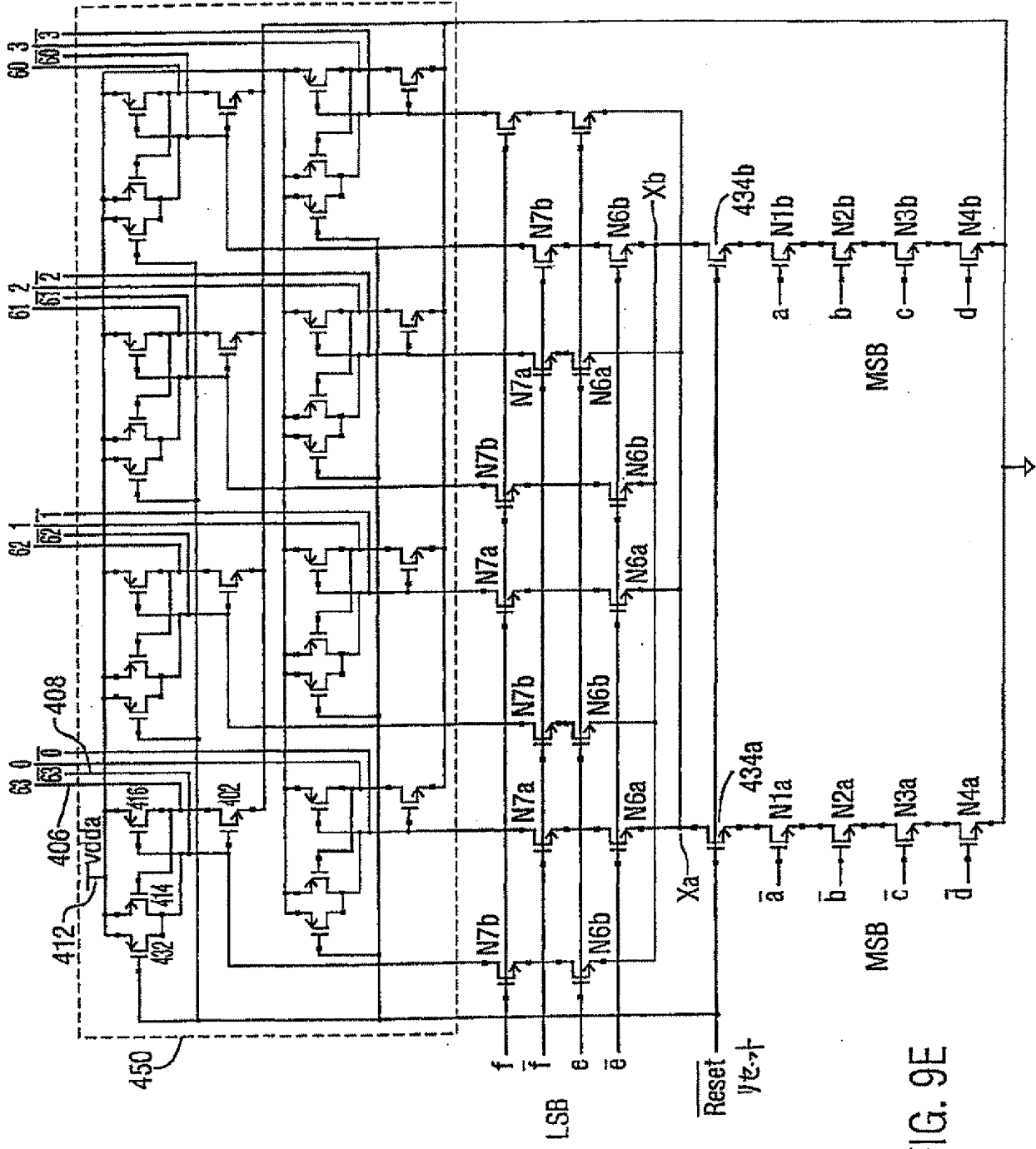


FIG. 9E

【図 9】

十進数 DECIMAL	二進数 BINARY					
	a	b	c	d	e	f
0	0	0	0	0	0	0
1	0	0	0	0	0	1
2	0	0	0	0	1	0
3	0	0	0	0	1	1
4	0	0	0	1	0	0
5	0	0	0	1	0	1
6	0	0	0	1	1	0
7	0	0	0	1	1	1

FIG. 9F

【図10】

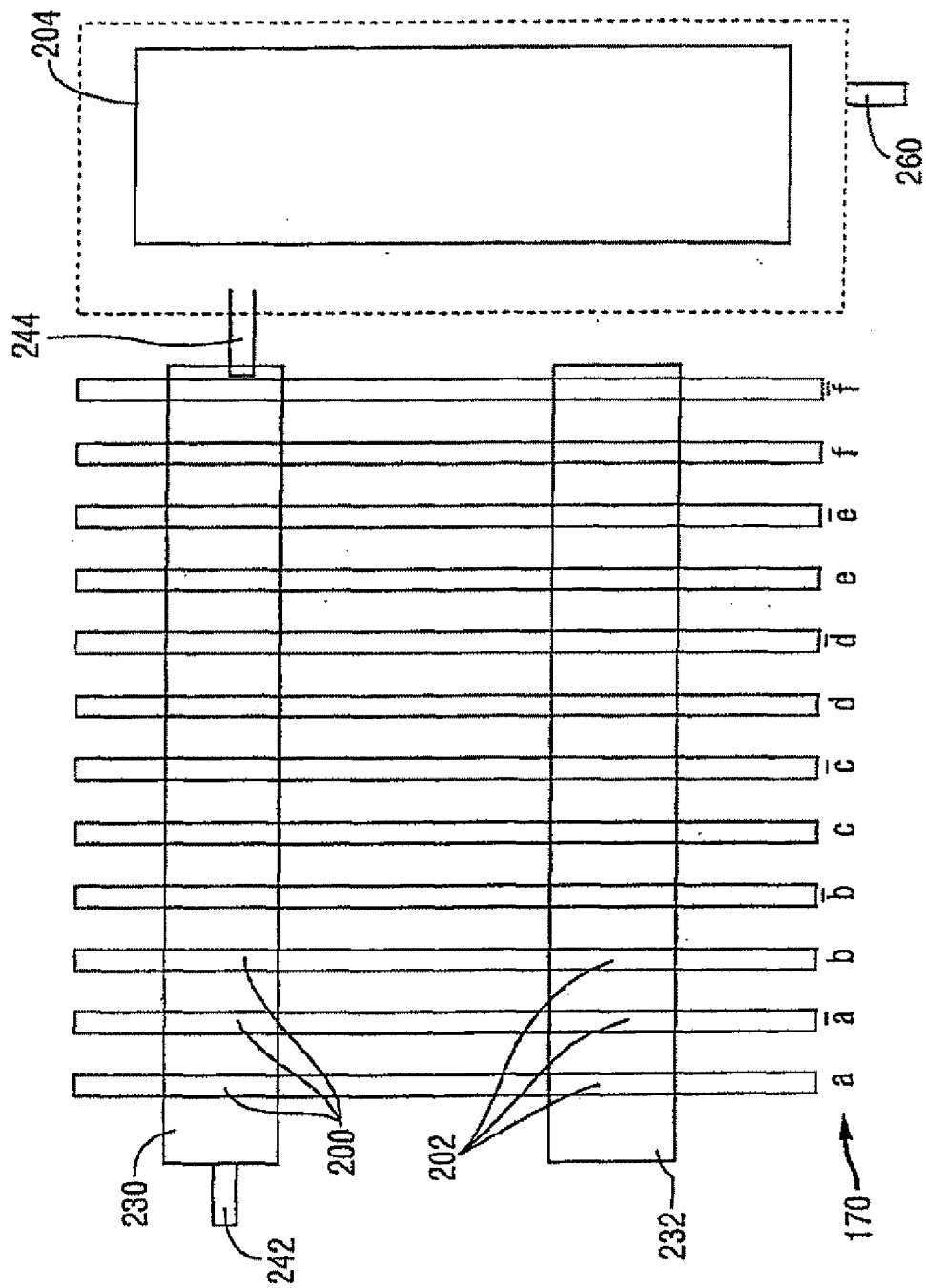


FIG. 10

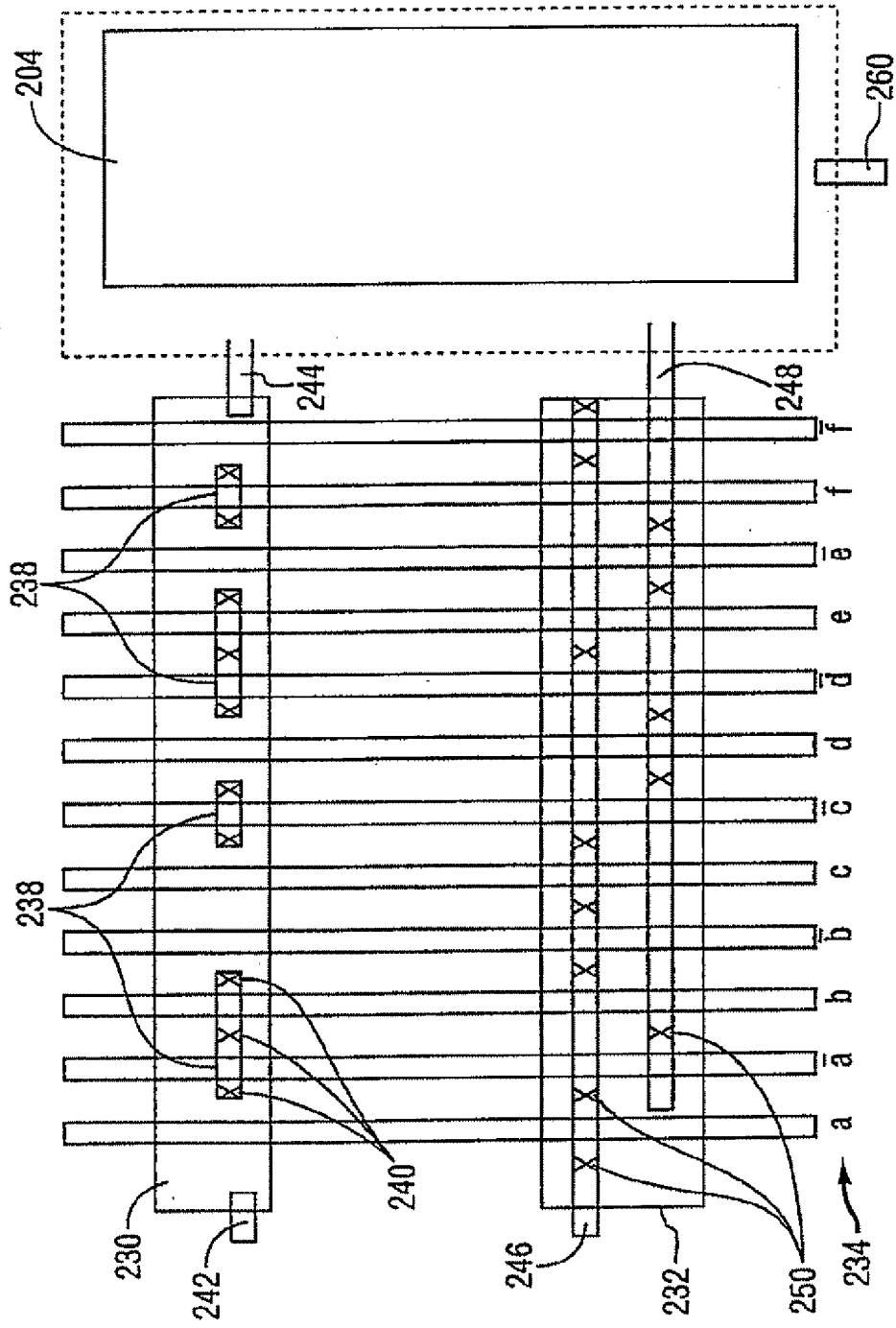


FIG. 10A

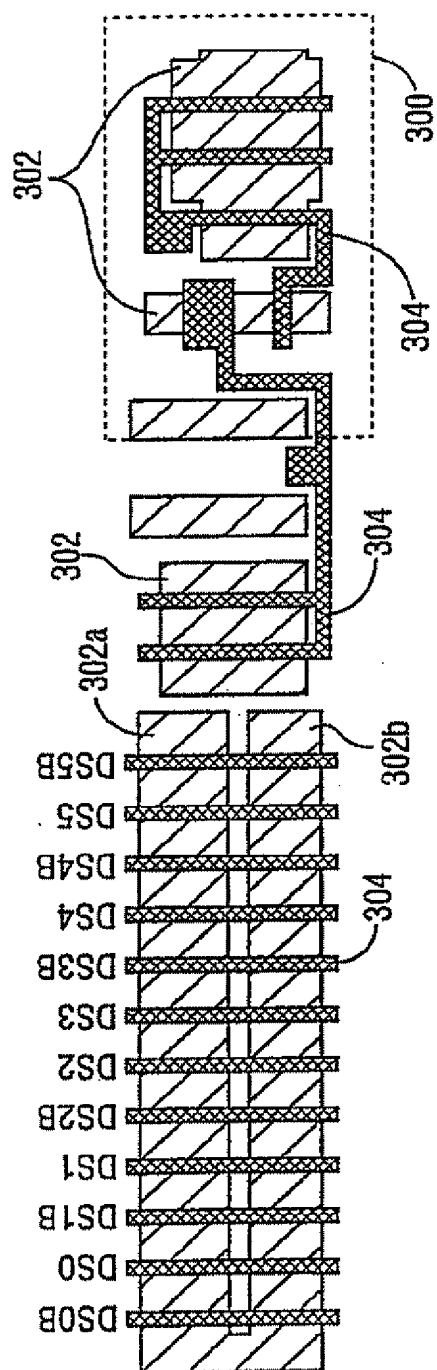


FIG. 11

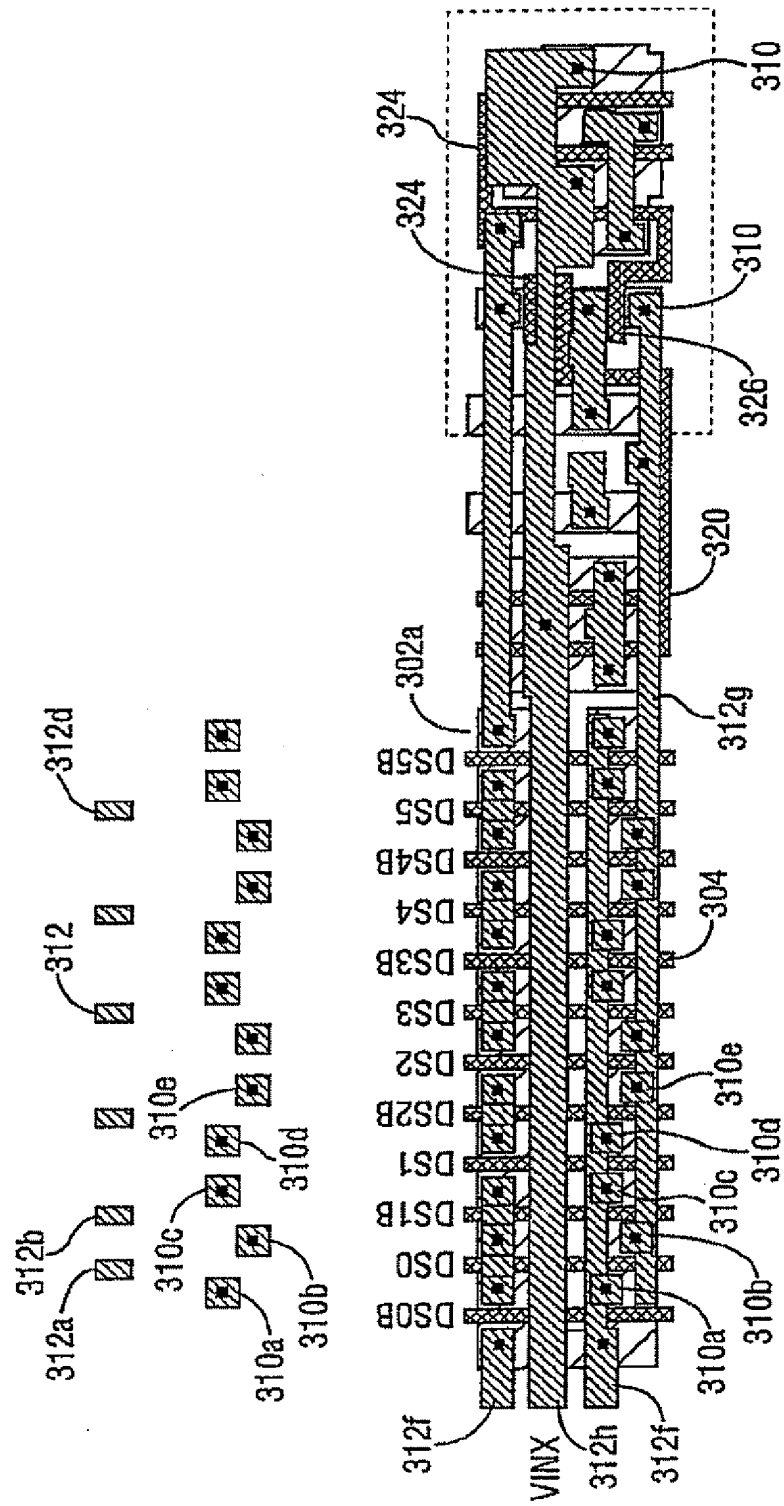


FIG. 12

【図 13】

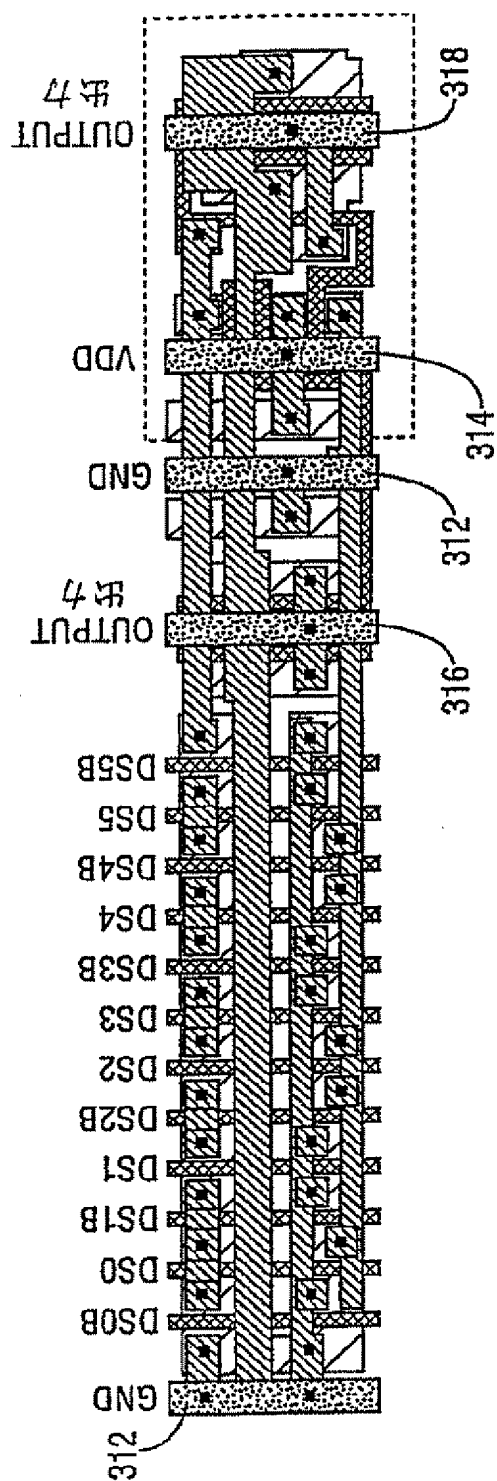


FIG. 13

【図14】

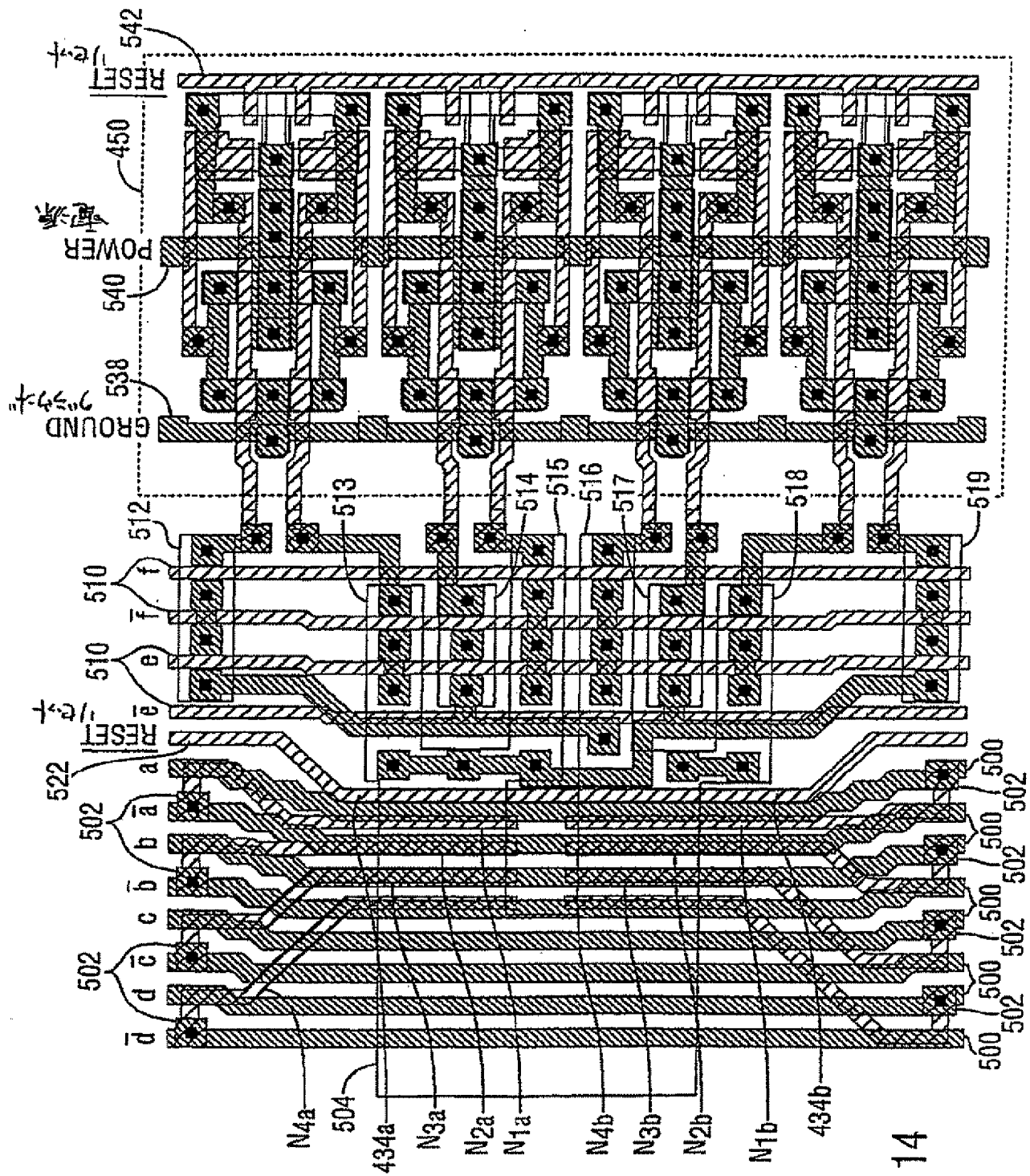


FIG. 14

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 94/09882

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G09G3/36				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G09G				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indications, where appropriate, of the relevant passages	Relevant to claim No.		
X A	EP,A,0 391 655 (SHARP K.K.) 10 October 1990 see page 6, line 50 - page 7, line 39 see figures 1-3 ---	1-5,45 6,8,46		
X A	CONFERENCE RECORD OF THE 1991 INTERNATIONAL DISPLAY RESEARCH CONFERENCE, 15 October 1991, PLAYA DEL REY, CA, USA pages 111 - 114 OKADA ET AL. 'Development of a low voltage source driver for large TFT-LCD sytem for computer applications' see page 111, left column, line 20 - page 112, left column, line 30 see figures 1-4 --- -/--	1,4,5,45 2,3		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.				
* Special categories of cited documents : <table border="0"> <tr> <td style="vertical-align: top;"> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family </td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family			
Date of the actual completion of the international search 28 December 1994		Date of mailing of the international search report 04.04.95		
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 LV Rijswijk Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl, Fax (+ 31-70) 340-3016		Authorized officer FARRICELLA, L		

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 94/09882

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 526 713 (STANLEY ELECTRIC CO. LTD.) 10 February 1993 ----	
A	EP,A,0 515 191 (SHARP K.K.) 25 November 1992 -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/US 94/09882

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0391655	10-10-90	JP-A- 3089392	15-04-91
		JP-A- 3089393	15-04-91
		JP-A- 3177890	01-08-91
		KR-B- 9400254	12-01-94
EP-A-0526713	10-02-93	JP-A- 4366891	18-12-92
EP-A-0515191	25-11-92	JP-A- 6027900	04-02-94
		JP-B- 7007248	30-01-95

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 94/ 09882

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

SEE EXTRA SHEET

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-11, 45-49

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FR, GB, GR, IE, IT, LU, M
C, NL, PT, SE), CA, JP, KR

(72)発明者 ラドゥン, クリストファー・エイ
アメリカ合衆国、78749 テキサス、オー
スティン、ウルフトラップ・ドライヴ
10416